

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

06610288      \*\*Image available\*\*

**SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING THEREOF**

PUB. NO.:            **2000-196093 [JP 2000196093 A]**  
PUBLISHED:        July 14, 2000 (20000714)  
INVENTOR(s):      YAMAZAKI SHUNPEI  
                     OTANI HISASHI  
APPLICANT(s):    SEMICONDUCTOR ENERGY LAB CO LTD  
APPL. NO.:        10-370541 [JP 98370541]  
FILED:             December 25, 1998 (19981225)  
INTL CLASS:       H01L-029/786; G02F-001/136; H01L-021/8238; H01L-027/092;  
                     H01L-027/08; H01L-021/336

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device employing a TFT structure with high reliability.

**SOLUTION:** In a CMOS circuit formed on a substrate 100, a sub gate wiring 102a (a first wiring) and a main gate wiring 107a (a second wiring) are provided on an N-channel TFT. An LDD region 113 is overlapped on the first wiring 102A and is not overlapped on the second wiring 107a. Therefore, the first wiring has a GOLD structure, with applying gate voltage on it, and the first wiring has an LDD structure, without applying the gate voltage on it. As a result the GOLD structure or the LDD structure can be used as required.

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

013338086      \*\*Image available\*\*

WPI Acc No: 2000-510025/200046

XRPX Acc No: N00-377643

**Complementary metal oxide semiconductor circuit for liquid crystal display panel,  
has activated layer with low concentration impurity area that overlaps sub-gate  
wiring and does not overlap main gate wiring**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 2000196093</b>	A	20000714	JP 98370541	A	19981225	200046    B

Priority Applications (No Type Date): JP 98370541 A 19981225

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000196093	A	30	H01L-029/786	

**Abstract (Basic): JP 2000196093 A**

NOVELTY - In N-channel type TFT of CMOS circuit, an activated layer is pinched using sub-gate wiring (102a) and main gate wiring (107a), via an insulating layer. The activated layer has a low concentration impurity area (113) in contact with channel formation area. The impurity area overlaps with wiring (102a) and does not overlap the wiring (107a).

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for CMOS circuit production procedure.

USE - For liquid crystal display (LCD) panel, AM-LCD

ADVANTAGE - Enables to configure circuit of suitable capability depending on specification. Capability and reliability of the CMOS circuit are also raised, greatly.

DESCRIPTION OF DRAWING(S) - The figure shows the structure of CMOS circuit. Sub-gate wiring (102a)

Main gate wiring (1-7a)

Low concentration impurity area (113)

pp; 30 DwgNo 1/22

Title Terms: COMPLEMENTARY; METAL; OXIDE; SEMICONDUCTOR;  
CIRCUIT; LIQUID; CRYSTAL; DISPLAY; PANEL; ACTIVATE; LAYER; LOW;  
CONCENTRATE; IMPURE; AREA; OVERLAP; SUB; GATE; WIRE; OVERLAP;  
MAIN; GATE; WIRE

Derwent Class: P81; U11; U13; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/136; H01L-021/336;

H01L-021/8238; H01L-027/08; H01L-027/092

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196093

(P2000-196093A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 3 A	2 H 0 9 2
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0	5 F 0 4 8
H 0 1 L 21/8238		H 0 1 L 27/08	3 3 1 E	5 F 1 1 0
27/092			3 2 1 F	
27/08	3 3 1	29/78	6 1 2 B	

審査請求 未請求 請求項の数16 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願平10-370541

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

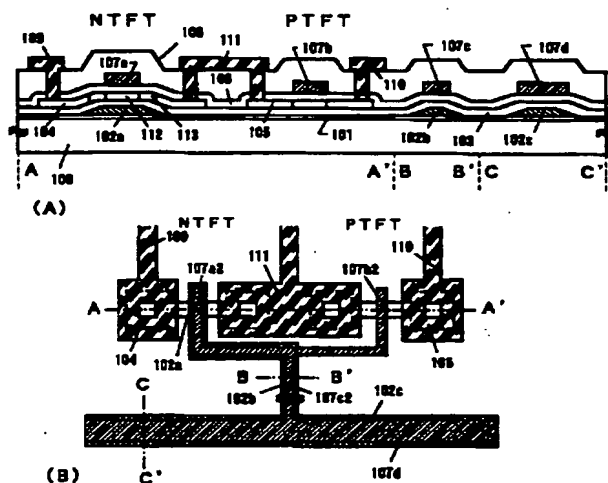
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 信頼性の高いTFT構造を用いた半導体装置を提供する。

【解決手段】 基板100上に形成されたCMOS回路において、Nチャネル型TFTにサブゲート配線（第1配線）102aとメインゲート配線（第2ゲート配線）107aを設ける。LDD領域113は第1配線102aとは重なり、第2配線107aとは重ならない。このため、第1配線にゲート電圧を印加すればGOLD構造となり、印加しなければLDD構造となる。回路仕様に応じてGOLD構造とLDD構造とを使い分けることができる。



100:基板 101:下地膜 (T<sub>ox</sub>) 102a, 102b, 102c:第1配線  
103:第1配線 104, 105:第2配線 106:第2配線  
107a, 107b, 107c, 107d:第2配線 108:第1配線  
109, 110:第2配線 111:第1配線

## 【特許請求の範囲】

【請求項1】 Nチャンネル型TFTとPチャンネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路の前記Nチャンネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項2】 Nチャンネル型TFTとPチャンネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路の前記Nチャンネル型TFTおよび前記Pチャンネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記Nチャンネル型TFTの活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項3】 請求項1において、前記Nチャンネル型TFTの第1配線と前記第2配線とは電気的に接続されていることを特徴とする半導体装置。

【請求項4】 請求項1または請求項2において、前記第1配線および／または前記第2配線は、タンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜であることを特徴とする半導体装置。

【請求項5】 Nチャンネル型TFTで形成された画素TFTと保持容量とを有する画素マトリクス回路を含む半導体装置において、

前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項6】 請求項5において、前記保持容量は前記第1配線、前記第1絶縁層および前記活性層との間で形成されていることを特徴とする半導体装置。

【請求項7】 請求項5において、前記第1配線はフローティング状態にあることを特徴とする半導体装置。

【請求項8】 請求項5または請求項6において、前記第1配線は最低電源電位に保持されることを特徴とする半

導体装置。

【請求項9】 請求項5または請求項6において、前記第1配線および／または前記第2配線は、タンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜であることを特徴とする半導体装置。

【請求項10】 同一基板上に形成された画素マトリクス回路とドライバ回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバ回路に含まれるNチャンネル型TFTとは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記画素TFTに接続された第1配線は最低電源電位に保持され、前記ドライバ回路に含まれるNチャンネル型TFTに接続された第1配線は、該ドライバ回路に含まれるNチャンネル型TFTに接続された第2配線と同電位に保持されることを特徴とする半導体装置。

【請求項11】 請求項10において、前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項12】 請求項10または請求項11において、前記第1配線および／または前記第2配線は、タンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜であることを特徴とする半導体装置。

【請求項13】 請求項1乃至請求項12に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイまたはアクティブマトリクス型ELディスプレイであることを特徴とする半導体装置。

【請求項14】 請求項1乃至請求項12に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項15】 Nチャンネル型TFTとPチャンネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に前記Nチャンネル型TFTの活性層および前記Pチャンネル型TFTの活性層を形成する工程と、

前記Nチャンネル型TFTの活性層および前記Pチャンネル型TFTの活性層を覆って第2絶縁層を形成する工程

と、

前記第2絶縁層の上に第2配線を形成する工程と、

前記Nチャネル型TFTの活性層にLDD領域を形成する工程と、を有し、

前記LDD領域は前記第1配線とは重なり、且つ前記第2配線とは重ならないように設けられることを特徴とする半導体装置の作製方法。

【請求項16】請求項15において、前記第1配線および/または前記第2配線は、タンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜で形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ(以下、TFTという)で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0003】

【従来の技術】薄膜トランジスタ(以下、TFTという)は透明なガラス基板に形成することができるので、アクティブマトリクス型液晶ディスプレイ(以下、AM-LCDという)への応用開発が積極的に進められてきた。結晶質半導体膜(代表的にはポリシリコン膜)を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0004】アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも100万個のTFTが必要になってくる。さらに機能回路を付加すると、それ以上の数のTFTが必要になり、液晶表示装置を安定に動作させるためには、個々のTFTの信頼性を確保して安定に動作させる必要があった。

【0005】ところが、TFTは必ずしも信頼性の面で単結晶半導体基板に作製されるMOSFETと同等ではないとされている。MOSFETでも問題となっていたように、TFTにおいても長期にわたって動作させると移動度やオン電流が低下するといった現象が起こる。このような現象がおこる原因の一つは、チャネル電界の増大に伴って発生するホットキャリアによる特性の劣化である。

【0006】一方、MOSFETでは、信頼性を向上させる技術として、LDD(LightlyDoped Drain)構造

が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらに低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。

【0007】さらにMOSFETでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある程度オーバーラップさせる(重ならせる)構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD(Gate-drain Overlapped LDD)や、LATID(Large-tilt-angle implanted drain)と呼ばれる構造が知られている。このような構造とすることで、ホットキャリア耐性を高めることができた。

【0008】また、こういったMOSFETの構造をTFTに応用しようという試みもなされている。しかしながら、GOLD構造(本明細書中ではゲート電圧が印加されるLDD領域を有する構造をGOLD構造と呼ぶ。逆にゲート電圧が印加されないLDD領域のみを有する構造をLDD構造と呼ぶ。)の場合、LDD構造に比べてオフ電流(TFTがオフ状態にある時に流れる電流)が大きくなってしまいう問題がある。そのため、AM-LCDの画素マトリクス回路のように、オフ電流を極力抑えたい回路に使うには不適切であった。

【0009】

【発明が解決しようとする課題】本願発明では、AM-LCDの各回路を機能に応じて適切な構造のTFTでもって形成し、高い信頼性を有するAM-LCDを提供することを目的とする。延いては、そのようなAM-LCDを有する半導体装置(電子機器)の信頼性を高めることを目的とする。

【0010】

【課題を解決するための手段】本明細書で開示する発明の構成は、Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、前記CMOS回路の前記Nチャネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0011】また、他の発明の構成は、Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、前記CMOS回路の前記Nチャネル型TFTおよび前記Pチャネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記Nチャネル型TFTの活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0012】なお、上記構成において、前記Nチャネル

型TFTの第1配線と前記第2配線とは電氣的に接続されていることが好ましい。こうすることで第1配線と第2配線を同電位とすることができる。

【0013】また、上記構成において、前記第1配線および/または前記第2配線は、タンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜(タングステンシリサイド膜)を用いることができる。また、それらの膜を積層して用いても良い。

【0014】また、他の発明の構成は、Nチャンネル型TFTで形成された画素TFTと保持容量とを有する画素マトリクス回路を含む半導体装置において、前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0015】なお、前記保持容量は前記第1配線、前記第1絶縁層および前記活性層との間で形成されている。この第1配線は画素TFTの遮光層として機能するため、遮光層が保持容量の電極として用いられているとも言える。このように活性層の下に形成される配線を保持容量を形成する電極として用いることは、画素の開口率を改善する上でも有効である。

【0016】また、前記第1配線はフローティング状態にあっても良いが、最低電源電位に保持されることが望ましい。こうすることで画素TFTの動作に影響を与えることなく、遮光層として用いることが可能である。

【0017】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャンネル型TFTとは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記画素TFTに接続された第1配線は最低電源電位に保持され、前記ドライバー回路に含まれるNチャンネル型TFTに接続された第1配線は、該ドライバー回路に含まれるNチャンネル型TFTに接続された第2配線と同電位に保持されることを特徴とする。

【0018】上記構成において、前記活性層はチャンネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されている。

【0019】また、他の発明の構成は、Nチャンネル型TFTとPチャンネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、基板上に第1配線を形成する工程と、前記第1配線の上に第1絶縁層を

形成する工程と、前記第1絶縁層の上に前記Nチャンネル型TFTの活性層および前記Pチャンネル型TFTの活性層を形成する工程と、前記Nチャンネル型TFTの活性層および前記Pチャンネル型TFTの活性層を覆って第2絶縁層を形成する工程と、前記第2絶縁層の上に第2配線を形成する工程と、前記Nチャンネル型TFTの活性層にLDD領域を形成する工程と、を有し、前記LDD領域は前記第1配線とは重なり、且つ前記第2配線とは重ならないように設けられることを特徴とする。

【0020】

【発明の実施の形態】  
【実施形態1】本願発明の実施の形態について、Nチャンネル型TFT(以下、NTFTという)とPチャンネル型TFT(以下、PTFTという)を組み合わせたCMOS回路(インバータ回路)を例にとって説明する。

【0021】なお、断面構造は図1(A)に示し、上面図は図1(B)に示す。また、図1(A)、(B)は同一の符号を用いて説明する。また、図1(B)のA-A'、B-B'、C-C'で切った時の断面図は図1(A)においてA-A'、B-B'、C-C'で示した各断面図に対応する。

【0022】まず、図1(A)において、100は基板、101は下地膜、102a、102b、102cは第1配線、103は第1絶縁層、104はNTFTの活性層、105はPTFTの活性層、106は第2絶縁層である。

【0023】その上には導電膜で形成された第2配線107a、107b、107c、107dを有する。また、108は第1層間絶縁層、109~111は第3配線であり、109、110がソース配線(ソース電極を含む)、111がドレイン配線(ドレイン電極を含む)である。

【0024】以上のような構造でなるCMOS回路において、基板100としてはガラス基板、石英基板、金属基板、ステンレス基板、プラスチック基板、セラミックス基板またはシリコン基板を用いることができる。シリコン基板を用いる場合は予め表面を酸化して酸化珪素膜を設けておくが良い。

【0025】また、下地膜101としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、酸化タンタル膜など緻密で強い絶縁膜を用いることも有効である。

【0026】また、第1配線は図1(B)に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに102a、102b、102cに区別した。ここでは第1配線102aは活性層103との交差部、第1配線102bはTFT間の接続部、第1配線102cは各回路に共通の電源供給部を指し示している。

【0027】この時、第1配線102aはNTFTのサブゲート電極として機能する。即ち、チャンネル形成領域

112の電荷制御は第1配線102aと、第1配線102aと同電位（または所定の電位）が与えられた第2配線（メインゲート電極）107aとで行われ、第1配線102aのみがLDD領域113にゲート電圧（または所定の電圧）を印加することができるような構造となっている。

【0028】従って、第2配線107aのみをゲート電極として機能させた場合はGOLD構造にならない（LDD構造となる）が、第1配線102aと組み合わせることで初めてGOLD構造を実現することができる。この構造の利点は後述するとして、さらに、この第1配線102aは遮光層としての機能をも兼ねている。

【0029】なお、第1配線の材料としては導電性を有していればどのような材料を用いても構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であることが望ましい。例えばタンタル（Ta）、クロム（Cr）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分（成分比が50%以上）とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いても構わない。

【0030】具体的には、タンタル膜、クロム膜、タングステンシリサイド膜とシリコン（珪素）膜との積層膜が好ましい。タングステンシリサイド膜とシリコン膜との積層膜を用いる場合、活性層に近い側にシリコン膜を設けるような構造とすることが好ましい。

【0031】また、本実施形態の特徴としては、第1配線102aがNTFTのみに設けられ、PTFTには設けられない点が挙げられる。図1（A）の場合、PTFTはオフセット領域もLDD領域も形成されていないが、どちらか一方または両方を備えていても構わない。

【0032】このような構造であるため、図1（B）に示すように第1配線は電源供給部から接続部を経由してNTFTに至り、NTFTのサブゲート電極として機能することになる。

【0033】また、第2配線も全て同一パターンからなる配線であるが、説明の便宜上、部分ごとに区別した。区別の仕方は第1配線とほぼ同様であり、図1（A）において、107aがNTFTの活性層104との交差部、107bがPTFTの活性層105との交差部、107cがTFT間の接続部、107dが電源供給部である。

【0034】第2配線は導電膜であれば如何なる膜を用いてもよく、タンタル（Ta）膜、クロム（Cr）膜、チタン（Ti）膜、タングステン（W）膜、モリブデン（Mo）膜、シリコン（Si）膜を自由に組み合わせて形成することができる。また、これらの合金膜やシリサイド膜を用いても構わない。さらに、同種または異種の導電膜を積層して形成しても構わない。

【0035】以上のように、本実施形態のCMOS回路

にはNTFTのみに第1配線（サブゲート配線）が設けられ、第1配線に第2配線（メインゲート配線）と同じ電圧を印加するか、所定の電圧を印加することでNTFTをGOLD構造とすることができる。

【0036】〔実施形態2〕本願発明の実施の形態について、NTFTを画素TFTとして用いた画素マトリクス回路を例にとりて説明する。なお、この画素マトリクス回路は「実施形態1」で説明したCMOS回路と同一の基板上に同時に形成されるため、同一名称で記載された配線に関する詳細は「実施形態1」の記載を参考にすれば良い。

【0037】なお、断面構造は図2（A）に示し、上面図は図2（B）に示す。また、図2（A）、（B）は同一の符号を用いて説明する。また、図2（B）のA-A'、B-B'で切った時の断面図は図2（A）においてA-A'、B-B'で示した各断面図に対応する。

【0038】まず、図2（A）において、200は基板、201は下地膜、202a、202b、202cは第1配線、203は容量配線、204は第1絶縁層、205は画素TFT（NTFT）の活性層、206は第2絶縁層である。なお、画素TFTはダブルゲート構造を例示しているが、シングルゲート構造でも良いし、三つ以上のTFTを直列に接続したマルチゲート構造としても構わない。

【0039】この時、容量配線203と活性層205（具体的にはドレイン領域から延長した部分）との間で第1絶縁層204を誘電体とする保持容量が形成される。この際、第1絶縁層204を窒化珪素膜の上に酸化珪素膜を設けた積層構造としておき、保持容量となる部分の酸化珪素膜を選択的に除去した後で活性層を形成すれば比誘電率の高い窒化珪素膜のみを誘電体とする保持容量を実現できる。

【0040】また、第2絶縁層206の上には第2配線207a、207b、207cが設けられる。第2配線207aはいわゆるゲート配線であり、207b、207cが実質的なゲート電極である。

【0041】また、208は第1層間絶縁層、209、210は第3配線であり、209がソース配線（ソース電極を含む）、210がドレイン配線（ドレイン電極を含む）である。さらに、その上には第2層間絶縁層211、ブラックマスク212、第3層間絶縁層213、画素電極214が設けられる。

【0042】また、第1配線は図2（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに202a、202b、202cに区別した。ここでは第1配線202aはゲート電極として機能しない配線部、202b、202cは活性層204との交差部であり、ゲート電極部として機能する部分である。

【0043】なお、ここに示した第1配線は「実施形態1」で説明した第1配線と同時に形成される。従って、

材料等の説明は省略する。

【0044】この時、第1配線202b、202cは画素TFTの遮光膜として機能する。即ち、「実施形態1」で説明したようなサブゲート配線としての機能はなく、固定電位にしておくか、フローティング状態（電氣的に孤立した状態）にしておく。即ち、画素TFTにおいてはTFTの動作に影響を与えず、遮光層としてのみ機能するような電位に保持しておくことが必要である。

【0045】固定電位としては、少なくともビデオ信号の最低電位（具体的にはビデオ信号が $-8\sim 8$  Vで振幅するならば $-8$  Vを指す）よりも低い電位、好ましくは形成される回路全体の最低電源電位または最低電源電位よりも低い電位にしておくことが望ましい。

【0046】例えば、AM-LCDの場合、ドライバ回路やその他の信号処理回路と画素マトリクス回路とで様々な電源供給線が形成され、それぞれに所定の電位が与えられている。即ち、ある基準となる最低電位があり、それを基準として様々な電圧が形成される。最低電源電位とは、それら回路の全てにおいて基準となる最低電位を指す。

【0047】第1配線を上述のような電位に保持しておくことで、ホットキャリア注入によって発生したホールをチャネル形成領域から引き抜くことが可能となり、ホールの蓄積によるパンチスルー現象を防ぐことができる。

【0048】このようにチャネル形成領域215、216の電荷制御は第1配線207bと第1配線207cとで行われ、LDD構造として動作する。これによりオフ電流の増加を効果的に抑制することができる。

【0049】このように本実施形態に示した画素マトリクス回路では画素TFTとしてNTFTが用いられ、その構造は「実施形態1」で説明したCMOS回路のNTFTと同一構造である。しかしながら、CMOS回路では第1配線に所定電圧を印加してサブゲート配線として用いることでGOLD構造を実現したのに対し、画素マトリクス回路では第1配線を固定電位またはフローティング状態にしてLDD構造として用いる点に違いがある。

【0050】即ち、本願発明の最大の特徴は、同一基板上に同一構造のNTFTを形成しておき、第1配線（サブゲート配線）に印加する電圧の有無によってGOLD構造とLDD構造とを使い分ける点にある。これにより工程数を増やすことなく、最適な回路設計が可能となるのである。

【0051】以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0052】

【実施例】  
【実施例1】本実施例では、「実施形態1」で説明したCMOS回路の作製方法について説明する。説明には図3を用いる。

【0053】まず、基板300としてガラス基板を用意し、その上に200 nm厚の酸化タンタル膜をスパッタ法で形成して下地膜301とした。さらに、その上に第1配線302a、302b、302cを形成した。第1配線の材料としては、スパッタ法によりタンタル膜を形成して用いた。タンタル膜の表面は酸化膜を設けても良かった。

【0054】勿論、第1配線302a、302b、302cは導電性を有する膜であれば良いので、他の金属膜や合金膜等またはそれらの積層膜を用いても構わない。なお、テーパ角の小さいパターン形成が可能な膜を用いると平坦性を向上させることができるため有効である。

【0055】次に、珪素（シリコン）を含む絶縁膜である第1絶縁層303を形成した。第1絶縁層303は活性層を保護する下地膜としての役割を果たすと同時に、第1配線302aをサブゲート配線として用いる際のゲート絶縁膜として機能する。

【0056】本実施例ではまず50 nmの窒化珪素膜を成膜し、その上に80 nmの酸化珪素膜を積層した構造を採用した。他にも $\text{SiO}_x\text{Ny}$  ( $x/y=0.01\sim 1.0$ ) で示される酸化窒化珪素膜（窒化酸化珪素膜ともいう）を用いても良い。その際、窒素の含有量を酸素の含有量よりも多くすることで耐圧を向上させることが可能である。

【0057】次に、50 nm厚の非晶質珪素膜（図示せず）を形成し、公知のレーザー結晶化技術により結晶化して結晶質珪素膜を形成した。そして結晶質珪素膜をパターンニングして活性層304、305を形成した。本実施例では、結晶化工程を、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜に照射することによって行った。

【0058】なお、本実施例では活性層に用いる半導体膜として非晶質珪素膜を結晶化した結晶質珪素膜を用いたが、他の半導体膜として微結晶珪素膜を用いても構わないし、直接結晶質珪素膜を成膜しても良い。また、珪素膜以外に、シリコンゲルマニウム膜等の化合物半導体膜を用いることも可能である。

【0059】なお、活性層304、305を形成する前または後で結晶質珪素膜中に13族に属する元素および／または15族に属する元素を添加しても良い。ここで添加される元素はTFTのしきい値電圧を制御するための元素である。

【0060】例えば、まず13族に属する元素としてボロンを結晶質珪素膜全体に添加してプラス方向のしきい値制御を行い、次に選択的にリンを添加してマイナス方向のしきい値制御を行って、NTFTおよびPTFTのしきい値電圧が所望の値になるように調節すれば良い。

【0061】次に、活性層304、305を覆って、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜またはそれらの積層膜である第2絶縁層306を形成した。ここではブ



ラズマCVD法で酸化窒化珪素膜を100nmの厚さに形成した。この第2絶縁層は第2配線をメインゲート配線として用いる際のゲート絶縁膜として機能する。

【0062】次に、後に第2配線となる200nm厚のタンタル膜307を形成した。タンタル膜207の成膜方法はスパッタ法でもCVD法でも良い。

【0063】こうして図3(A)の状態が得られたら、レジストマスク308a、308bを形成し、タンタル膜307をエッチングした。こうしてタンタル膜でなる第2配線309aが形成された。この第2配線309aは図1(A)の第2配線(メインゲート配線)107aに相当する。また、タンタル膜309bはNTFTとなる領域以外を隠すようにして残される。

【0064】次に、15族に属する元素(代表的にはリンまたは砒素)を添加し、低濃度不純物領域310、311を形成した。本実施例では15族に属する元素としてリンを用い、質量分離を行わないイオンドーピング法を用いて添加した。また、添加条件としては、加速電圧を90keVとし、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ (好ましくは $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ )の濃度でリンが添加されるようにドーズ量を調節した。この濃度が後にLDD領域の不純物濃度になるので精密に制御する必要がある。(図3(B))

【0065】なお、本明細書中ではこのような条件で行われた不純物添加工程をリン(n-)の添加工程という。

【0066】次に、レジストマスク308a、308bを除去し、新たにレジストマスク312a~312dを形成した。そしてタンタル膜309bをエッチングして第2配線313a~313cを形成した。この第2配線313a~313cはそれぞれ順に図1(A)の第2配線107b、107c、107dに相当する。

【0067】次に、13族に属する元素(代表的にはボロンまたはガリウム)を添加し、不純物領域314、315を形成した。また、このとき同時にPTFTのチャネル形成領域316が画定した。本実施例では13族に属する元素としてボロンを用い、質量分離を行わないイオンドーピング法を用いて添加した。添加条件としては、加速電圧を75keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{atoms/cm}^3$ (好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ )の濃度でボロンが添加されるようにドーズ量を調節した。(図3(C))

【0068】なお、本明細書中ではこのような条件で行われた不純物添加工程をボロン(p++)の添加工程という。

【0069】次に、レジストマスク312a~312dを除去した後、再びレジストマスク317a~317dを形成した。本実施例では、これらのレジストマスクは裏面露光法を用いて形成した。即ち、レジストマスク317a、317c、317dは第1配線がマスクとなり、レジ

ストマスク317bは第2配線がマスクとなっている。この時、第1配線をマスクとなる場合は少し光の回り込みがあるので、第1配線よりも線幅が細くなる。この線幅は露光条件によって制御することが可能である。即ち、この回り込み量を制御することでLDD領域の幅(長さ)を制御することができる。

【0070】勿論、これらのレジストマスクを、マスクを用いて形成することもできる。その場合、パターン設計の自由度は高くなるがマスク枚数が増えてしまう。

【0071】こうしてレジストマスク317a~317dが形成されたら、15族に属する元素(本実施例ではリン)の添加工程を行った。ここでは加速電圧を90keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{atoms/cm}^3$ (好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ )の濃度でリンが添加されるようにドーズ量を調節した。

【0072】なお、本明細書中ではこのような条件で行われた不純物添加工程をリン(n+)の添加工程という。

【0073】この工程によりNTFTのソース領域318、ドレイン領域319、LDD領域320およびチャネル形成領域321が画定した。また、この工程ではPTFTのドレイン領域322とソース領域323にもリンが添加されるが、前工程でさらに高い濃度のボロンが添加されていれば、N型に反転しないためP型を維持したままとなる。

【0074】こうしてNTFTおよびPTFTに一導電性を付与する不純物元素を添加したら、ファーンズアニール法、レーザーアニール法、ランプアニール法またはそれらの手法を併用して不純物元素の活性化を行った。

【0075】こうして図3(D)の状態が得られたら、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、樹脂膜またはそれらの積層膜でなる第1層間絶縁層324を形成した。そしてコンタクトホールを開けてソース配線325、326、ドレイン配線327を形成した。(図3(E))

【0076】本実施例では第1層間絶縁層324として、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。また、本実施例ではソース配線およびドレイン配線を、チタン膜100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の積層膜をパターンニングして形成した。

【0077】こうして図3(E)に示すような構造のCMOS回路が完成した。本実施例のCMOS回路は図1(A)に示した構造であり、それについての説明は「実施形態1」で詳細に説明したのでここでの説明は省略する。また、図1(A)の構造を得るにあたって、本実施例の作製工程に限定される必要はない。例えば、NTFTをダブルゲート構造とし、PTFTをシングルゲート構造とするようなことも可能である。

【0078】なお、本実施例で説明したCMOS回路はAM-LCDにおいてはドライバー（駆動）回路（シフトレジスタ回路、バッファ回路、レベルシフト回路、サンプリング回路など）やその他の信号処理回路（分割回路、D/Aコンバータ回路、 $\gamma$ 補正回路、オペアンプ回路など）を構成する基本単位回路である。

【0079】本実施例ではNTFTの第1配線をサブゲート配線として用いることで実質的なGOLD構造を実現することができ、ホットキャリア注入による劣化を防ぐことができる。従って、非常に信頼性の高い回路を形成することができる。

【0080】〔実施例2〕本実施例では「実施形態2」で説明した画素マトリクス回路の作製方法について説明する。説明には図4、図5を用いる。なお、画素マトリクス回路は同一基板上において、実施例1に示したCMOS回路と同時に形成されるため、実施例1の作製工程に対応させて説明する。従って、必要に応じて図3と同じ符号を使って説明することとする。

【0081】まず、ガラス基板300上に酸化タンタル膜でなる下地膜301を形成し、その上に第1配線401a、401b、401c、容量配線402を形成した。なお、第1配線401aは図2（A）の第1配線202aに、第1配線401bは図2（A）の第1配線202bに、第1配線401cは図2（A）の第1配線202cに相当する。

【0082】また、容量配線402は図2（A）の容量配線203に相当する。また、これら第2配線および容量配線の材料は実施例1で説明した通りである。

【0083】次に、実施例1を参考にして第1絶縁層303、画素TFTの活性層403、第2絶縁層306、タンタル膜307を形成した。こうして図4（A）の状態が得られた。なお、同時形成されているCMOS回路は図3（A）の状態にある。

【0084】次に、レジストマスク404a~404cを形成し、タンタル膜307のエッチングを行った。こうして第2配線405a~405cが形成された。なお、第2配線405aは図2（A）の第2配線207aに、第2配線405bは図2（A）の第2配線207bに、第2配線405cは図2（A）の第2配線207cに相当する。

【0085】次に、後にLDD領域を形成するためのリン（n-）の添加工程を行い、低濃度不純物領域406~408を形成した。この工程は図3（B）の工程に対応する。従って、図4（B）の工程において、第2配線の材料や膜厚、およびリンの添加条件は実施例1と同様である。

【0086】次に、図3（C）に相当する工程を行った。この工程では、画素マトリクス回路においてはレジストマスク409で全面を覆い、ボロンが全く添加されないようにした。（図4（C））

【0087】次に、レジストマスク409を除去した

後、裏面露光法によりレジストマスク410a~410dを形成した。そして、リン（n+）の添加工程を行い、ソース領域411、ドレイン領域412、LDD領域413、414およびチャネル形成領域415、416を形成した。この時、裏面露光条件やリンの添加条件等は実施例1の図3（D）の工程に従えば良い。

【0088】なお、図4（D）では説明の便宜上、ソース領域やドレイン領域と記載したが、画素TFTの場合は画素への充電時と放電時とでソース領域とドレイン領域が逆転するので明確な区別はない。

【0089】また、417で示される領域はレジストマスク410dで隠されるため、結果的にLDD領域413、414と同濃度でリンが添加された領域となる。この領域は、第1配線402に電圧を印加することで電極として機能させることができ、第1配線402、第1絶縁層303および低濃度不純物領域417で保持容量が形成される。

【0090】こうしてリンおよびボロンの添加工程が終了したら、実施例1と同様に不純物元素の活性化工程を行った。そして、第1層間絶縁層324を形成し、コンタクトホールを形成してソース配線418、ドレイン配線419を形成した。こうして図4（E）の状態を得た。この時、CMOS回路は図3（E）の状態となっている。

【0091】次に、ソース配線418およびドレイン配線419を覆って第2層間絶縁層420を形成した。本実施例ではバッシベーション膜として30nm厚の窒化珪素膜を形成し、その上に700nm厚のアクリル膜を形成した。勿論、酸化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、他の樹脂膜を用いても良い。他の樹脂膜としては、ポリイミド膜、ポリアミド膜、BCB（ベンゾシクロブテン）膜などを使用することができる。

【0092】次に、100nm厚のチタン膜でなるブラックマスク421を形成した。ブラックマスク421は遮光性を有する膜であれば他の膜を用いても良い。代表的にはクロム膜、アルミニウム膜、タンタル膜、タングステン膜、モリブデン膜、チタン膜またはそれらの積層膜を用いれば良い。

【0093】次に第3層間絶縁層422を形成した。本実施例では1 $\mu$ m厚のアクリル膜としたが、第2層間絶縁層と同様の材料を用いることができる。

【0094】次に、第3層間絶縁層422にコンタクトホールを形成し、透明導電膜（代表的にはITO膜）でなる画素電極423を形成した。この時、画素電極423はドレイン配線419と電氣的に接続される。従って、コンタクトホールは非常に深いものとなるので、内側の側壁がテーパ形状または曲面を有するように形成すると画素電極が断線するなどの不良を防ぐのに有効であった。

【0095】こうして図5(A)に示すような構造の画素マトリクス回路が完成した。なお、本実施例では画素電極として透明導電膜を用いて透過型AM-LCDを作製する例を示したが、画素電極として反射率の高い金属膜（アルミニウムを主成分とする金属膜など）を用いることで容易に反射型AM-LCDを作製することが可能である。

【0096】また、図5(A)の状態となった基板をアクティブマトリクス基板という。本実施例では、実際にAM-LCDを作製した場合の構造も併せて説明する。

【0097】図5(A)の状態が得られたら、配向膜424を80nmの厚さに形成した。次に、対向基板を作製した。対向基板はガラス基板425上にカラーフィルタ426、透明電極（対向電極）427、配向膜428を形成したものを準備した。そして、それぞれの配向膜424、428に対してラビング処理を行い、シール材（封止材）を用いてアクティブマトリクス基板と対向基板とを貼り合わせた。そして、その間に液晶429を保持させた。

【0098】なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0099】こうして図5(B)に示す構造のAM-LCD（画素マトリクス回路の部分）が完成した。本実施例に示した第2層間絶縁層420と第3層間絶縁層422は実際には実施例1に示したCMOS回路上にも形成されることになる。また、ブラックマスク421や画素電極423を形成すると同時に、それらを構成する材料で配線を形成し、その配線をAM-LCDのドライバー回路や信号処理回路の引き回し配線（第4配線または第5配線）として用いることも可能である。

【0100】本実施例の場合、画素TFTに設けられた第1配線401b、401cは最低電源電位に設定した。こうしておくことで、ホットキャリア注入によってドレイン端部に生じたホール（正孔）を第1配線に引き抜くことができるため、信頼性の向上に適した構造となる。勿論、第1配線401b、401cをフローティング状態にしておくこともできるが、その場合にはホールの引き抜き効果を期待できない。

【0101】〔実施例3〕本実施例では本願発明の画素マトリクス回路やCMOS回路（具体的にはCMOS回路で形成されたドライバー回路や信号処理回路）を具備したAM-LCDの外観を図6に示す。

【0102】アクティブマトリクス基板601には画素マトリクス回路602、信号線駆動回路（ソースドライバー回路）603、走査線駆動回路（ゲートドライバー回路）604、信号処理回路（信号分割回路、D/Aコンバータ回路、 $\gamma$ 補正回路等）605が形成され、FPC（フレキシブルプリントサーキット）606が取り付

けられている。なお、607は対向基板である。

【0103】ここでアクティブマトリクス基板601上に形成された各種回路をさらに詳しく図示したブロック図を図7に示す。

【0104】図7において、701は画素マトリクス回路であり、画像表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフタ回路、702cはバッファ回路である。これらでなる回路が全体としてゲートドライバー回路を形成している。

【0105】なお、図7に示したAM-LCDのブロック図ではゲートドライバー回路を、画素マトリクス回路を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバーに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0106】また、703aはシフトレジスタ回路、703bはレベルシフタ回路、703cはバッファ回路、703dはサンプリング回路であり、これらでなる回路が全体としてソースドライバー回路を形成している。画素マトリクス回路を挟んでソースドライバー回路と反対側にはプリチャージ回路14が設けられている。

【0107】本願発明を用いることで図6に示したような回路を有するAM-LCDの信頼性を大幅に向上させることができる。その際、ドライバー回路や信号処理回路を形成するCMOS回路は実施例1に従えばよく、画素マトリクス回路は実施例2に従えば良い。

【0108】〔実施例4〕本実施例では、「実施形態1」に示したCMOS回路や「実施形態2」に示した画素マトリクス回路の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に応じて構造を異ならせる例を示す。

【0109】なお、CMOS回路の基本構造は図1(A)に示した構造、画素マトリクス回路の基本構造は図2(A)に示した構造であるため、本実施例では必要箇所のみに符号を付して説明することとする。

【0110】まず、図8(A)に示した構造はNTFTのソース側のLDD領域をなくし、ドレイン側のみにLDD領域801を設けた構造である。ドライバー回路や信号処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵抗成分は極力排除する必要がある。

【0111】本願発明のCMOS回路の場合、サブゲート配線として機能する第1配線にゲート電圧を印加することによってGOLD構造を実現し、ホットキャリア注入による劣化を防いでいる。しかしながら、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート電極とオーバーラップした（重なった）LDD領域が存在すれば良い。

【0112】従って、必ずしもチャネル形成領域のソース領域側の端部にはLDD領域を設けておく必要はな

く、却ってソース領域側に設けられたLDD領域が抵抗成分として働いてしまう恐れがある。そのため、図8

(A)のような構造とすることは動作速度を改善する上で有効である。

【0113】なお、図8(A)の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図8(A)のような構造を実現することができる。

【0114】次に、図8(B)は基本的には図8(A)と同様であるが、LDD領域802の幅が図8(A)よりも狭く形成されている。具体的には0.05~0.5 $\mu\text{m}$ (好ましくは0.1~0.3 $\mu\text{m}$ )とする。図8

(B)の構造はソース領域側の抵抗成分をなくすだけでなく、ドレイン領域側の抵抗成分を極力減らすような構造となっている。

【0115】このような構造は実際にはシフトレジスタ回路のように3~5Vといった低電圧で駆動し、高速動作を要求するような回路に適している。動作電圧が低いのでLDD領域(厳密にはゲート電極にオーバーラップしたLDD領域)が狭くなってもホットキャリア注入の問題は顕在化しない。

【0116】勿論、場合によってはシフトレジスタ回路のみNTFTのLDD領域を完全になくすようなこともできる。その場合、同じドライバ回路内でも、シフトレジスタ回路のNTFTにはLDD領域がなく、他の回路には図1(A)や図8(B)に示した構造を採用するようなこともできる。

【0117】次に、図8(C)はNTFTをダブルゲート構造、PTFTをシングルゲート構造としたCMOS回路の例である。この場合、チャンネル形成領域803、804のドレイン領域に近い側のみの端部にLDD領域805、806を設ける。

【0118】図3(D)に示したようにLDD領域の幅は裏面露光工程における光の回り込み量で決定するが、マスク合わせによってレジストマスクを形成すれば自由にマスク設計を行うことができる。図8(C)に示した構造においてもマスクを用いれば片側のみにLDD領域を設けることは容易である。

【0119】しかし、本実施例のようにゲート配線(第2配線)807a、807bと第1配線808、809とをずらして形成することで、裏面露光法を用いても片側のみにLDD領域を形成することが可能となる。

【0120】このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソース・ドレイン間にかかる電界を分散させて緩和する効果がある。

【0121】次に、図8(D)の構造は画素マトリクス回路の一実施形態である。図8(D)の構造の場合、ソース領域またはドレイン領域に近い片側のみにLDD領

域809、810を設ける。即ち、二つのチャンネル形成領域811と812の間にはLDD領域を設けない構造とする。

【0122】画素TFTの場合、充電と放電を繰り返す動作を行うためソース領域とドレイン領域とが頻繁に入れ替わることになる。従って、図8(D)の構造とすることでどちらがドレイン領域となってもチャンネル形成領域のドレイン領域側にLDD領域を設けた構造となる。逆に、チャンネル形成領域811と812の間の領域は電界集中がないので抵抗成分となるLDD領域をなくした方がオン電流(TFTがオン状態にある時に流れる電流)を大きくするには有効である。

【0123】なお、図8(A)~(D)の構造において、ソース領域側のチャンネル形成領域の端部にはLDD領域を設けない構造としているが、幅の狭いものであれば設けられていても構わない。そのような構造はマスク合わせによってレジストマスクを形成しても良いし、第1配線と第2配線の位置を調節した上で裏面露光法を用いて形成しても良い。

【0124】なお、本実施例の構成は実施例1、2と組み合わせられることは言うまでもなく、実施例3に示したAM-LCDに用いても良い。

【0125】〔実施例5〕本実施例では実施例2に示した画素マトリクス回路とは異なる構造の保持容量を形成した場合について説明する。説明には図9を用いる。なお、基本的な構造は図2(A)に示したものと同等であるので、本実施例では必要箇所のみに符号を付して説明することとする。

【0126】まず、図9(A)に示した構造は保持容量を、活性層(具体的にはドレイン領域からの延長部分904)901、第2絶縁層902および第2配線と同一層に形成された容量配線903とで形成する。この場合、保持容量の電極として機能する領域904は容量配線903がマスクとなるため導電型を付与する不純物元素が添加されず、容量配線903に常に電圧を印加して活性層に反転層が形成された状態を維持しなければならない。

【0127】また、図9(B)の構造は、図2(A)に示した保持容量の構造と図9(A)に示した保持容量の構造とを組み合わせた例である。具体的には、第1配線と同一層の第1容量配線905、第1絶縁層906および活性層907で第1保持容量を形成し、活性層907(正確には908で示される領域)、第2絶縁層909および第2配線と同一層の第2容量配線910で第2保持容量を形成する。

【0128】この構造では工程数をなんら増やすことなく、図2(A)や図9(A)に示した保持容量の構造の2倍近い容量を確保することが可能である。特に、AM-LCDが高精細になれば開口率を稼ぐために、保持容量の面積を小さくすることが必要となる。そのような場

合に図9(B)の構造は有効である。

【0129】なお、本実施例の構造を実施例3に示したAM-LCDに対して用いることは有効である。

【0130】〔実施例6〕本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、第2配線の一部の構造を変えた場合の例を図10に示す。なお、図10(A)において図1

(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0131】図10(A)のCMOS回路は、第2配線のうち電源供給部に相当する部分のみ第1導電層1001a、第2導電層1001bとを積層して形成した積層膜1001で構成する。本明細書中では1001で示した配線構造をクラッド構造と呼ぶ。

【0132】このようなクラッド構造において、第1導電層1001aの材料としてはタンタル、チタン、クロム、タングステン、モリブデン、またはシリコンから選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いることができる。また、第2導電層1001bの材料としては銅またはアルミニウムを主成分とする（成分比が50%以上）金属膜を用いることが望ましい。

【0133】このような構造とした場合、第2配線の電源供給部（図1(B)の107dで示される部分）は第1導電層1001aを第2導電層1001bで覆った構造となる。ただし、この構造では第1導電層1001aの構成元素であるアルミニウムや銅が第2絶縁層（第2配線の下地になる絶縁層）中に拡散する恐れがある。そのため、第2絶縁層の表面に窒化珪素膜を設けておくと、アルミニウムや銅の拡散を効果的に防止することが可能である。

【0134】また、本実施例の構造は画素マトリクス回路に対しても適用できる。図10(B)の画素マトリクス回路は、第2配線（ゲート配線）および容量配線がタンタル膜のみの単層構造であり、ゲート配線の中でも配線抵抗を抑えたい部分（図2(B)の207aに相当する部分）には上記クラッド構造を採用している。

【0135】勿論、図10(A)、図10(B)に示した回路はどちらも同一基板上に同時形成されることは言うまでもない。

【0136】また、実施例3のAM-LCDに適用することもできるし、実施例4、5に示した構成と組み合わせることも可能である。

【0137】〔実施例7〕本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、NTFTのLDD領域の配置を異なるものとした場合の例を図11に示す。なお、図11(A)において図1(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0138】図11(A)に示したCMOS回路では、

NTFTのゲート電極1101がLDD領域1102に重なっている部分と重なっていない部分とを有する構造となっている。この構造において、ゲート電極1101がLDD領域1102に重なっている部分の長さは0.1~3.5 $\mu\text{m}$ （代表的には0.1~0.5 $\mu\text{m}$ 、好ましくは0.1~0.3 $\mu\text{m}$ ）とし、ゲート電極1101がLDD領域1102に重なっていない部分の長さは0.5~3.5 $\mu\text{m}$ （代表的には1.5~2.5 $\mu\text{m}$ ）とすれば良い。

【0139】このような構造では、ゲート電極1101とLDD領域1102とが重なる部分では実質的にGOLD構造と同様の効果を示し、重ならない部分では実質的にLDD構造と同様の効果を示す。なお、この重なり加減はマスク合わせで決定しても良いし、光の回り込み量の制御によって実現しても良い。

【0140】このような構造の特徴としては、ゲート電極に重なったLDD領域によりオン電流の劣化が防がれ、さらにその外側に設けられたゲート電圧が印加されないLDD領域によりオフ電流の増加が防がれる。従って、CMOS回路において、オフ電流も抑えたい場合には図11(A)の構造が有効である。

【0141】図11(B)に示した画素マトリクス回路の場合も同様であり、画素TFTのゲート電極1103、1104はどちらもLDD領域1105、1106がゲート電極1103、1104と重なる領域および重ならない領域を有した構造となっている。この場合、第1配線202b、202cはサブゲート配線として機能させないので、ゲート電極1103、1104のみでチャネル形成領域の電荷が制御される。

【0142】「実施形態2」で説明した画素TFTの構造では、画素TFTが完全なLDD構造として動作するような構造となっている。しかしながら、図11(B)の構造とすることでホットキャリア注入に強い（オン電流の劣化がない又は抑制された）画素TFTを実現することができる。

【0143】なお、本実施例の構造は実施例3のAM-LCDに適用することもできるし、実施例4~6に示した構成とも自由に組み合わせることが可能である。

【0144】〔実施例8〕本実施例ではドライバー回路に用いるCMOS回路において、NTFTのオフ電流を低減するための構造について図12を用いて説明する。

【0145】図12において、NTFTのLDD領域1201、1202は、実質的に第1配線102aに重なっている部分と重なっていない部分とに区別できる。従って、第1配線102aにゲート電圧が印加された際、図12のNTFTはゲート電極に重なったLDD領域の外側に、ゲート電極に重なっていないLDD領域を有する構造となる。

【0146】このような構造は実施例7でも説明したように、GOLD構造の利点であるオン電流の劣化を防ぐ

効果を有し、且つ、GOLD構造の欠点であるオフ電流の増加を抑制した電気特性を得ることができる。従って、非常に優れた信頼性を有するCMOS回路を実現することが可能である。

【0147】また、ここではCMOS回路の場合を例にとって説明したが、本実施例の構造を画素マトリクス回路に適用しても構わない。

【0148】また、本実施例の構造を実現するためには、実施例1の図3(D)に示した工程において裏面露光法を用いなければ良い。即ち、通常のマスク合わせにより第1配線よりも幅の広いレジストマスクを設け、その後、リン(n+)の添加工程を行えば本実施例の構造を容易に得ることができる。

【0149】なお、LDD領域の長さ(ゲート電極に重なっている部分と重なっていない部分の長さ)は実施例7に示した範囲を参考にすれば良い。

【0150】なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4~7に示した構成とも自由に組み合わせることが可能である。

【0151】〔実施例9〕本実施例では、実施例1または実施例2に示した活性層を形成するにあたってレーザー結晶化以外の手段を用いた場合について説明する。

【0152】具体的には、活性層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報(米国出願番号08/329,644または米国出願番号08/430,623に対応)、特開平8-78329号公報で開示された技術を用いることが望ましい。特に触媒元素としてはニッケルが好適である。

【0153】なお、本実施例の構成は実施例1乃至実施例8の全ての構成と自由に組み合わせることが可能である。

【0154】〔実施例10〕本実施例は活性層を形成する方法として、実施例9に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報(米国出願番号08/951,193に対応)または特開平10-135469号公報(米国出願番号08/951,819に対応)に記載された技術を用いる。

【0155】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にハロゲンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$ atoms/cm<sup>3</sup>にまで低減することができる。

【0156】なお、本実施例の構成は実施例1乃至実施例9の全ての構成と自由に組み合わせることが可能である。

【0157】〔実施例11〕本実施例は活性層を形成す

る方法として、実施例9に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-270363号公報(米国出願番号09/050,182に対応)に記載された技術を用いる。

【0158】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$ atoms/cm<sup>3</sup>にまで低減することができる。

【0159】なお、本実施例の構成は実施例1乃至実施例10の全ての構成と自由に組み合わせることが可能である。

【0160】〔実施例12〕本実施例では、実施例11で示したリンによるゲッターリング工程の別形態について説明する。なお、基本的な工程は図1に従うものである。相違点のみに着目して説明する。

【0161】まず、実施例1の工程に従って図3(D)の状態を得た。図13(A)は図3(D)の状態からレジストマスク317a~317dを除去した状態を表している。ただし、TFTの活性層となる半導体層の形成には実施例9に示した熱結晶化技術を用いている。

【0162】この時、NTFTのソース領域318及びドレイン領域319、並びにPTFTのソース領域322及びドレイン領域323には $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(好ましくは $5 \times 10^{20}$ atoms/cm<sup>3</sup>)の濃度でリンが含まれている。

【0163】本実施例ではこの状態で、窒素雰囲気中で500~800℃、1~24時間、例えば600℃、12時間の加熱処理の工程を行う。この工程により、添加された13族または15族に属する不純物元素を活性化することができた。さらに、結晶化工程の後残存していた触媒元素(本実施例ではニッケル)が矢印の方向に移動し、前述のソース領域及びドレイン領域に含まれたリンの作用によって同領域にゲッターリング(捕獲)することができた。その結果、チャネル形成領域からニッケルを $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下にまで低減することができた。(図13(B))

【0164】図13(B)の工程が終了したら、以降の工程は実施例1の工程に従えば、図3(E)に示すようなCMOS回路を作製することができる。勿論、同様のことが画素マトリクス回路でも行われることは言うまでもない。

【0165】なお、本実施例の構成は実施例1乃至実施例11の全ての構成と自由に組み合わせることが可能である。

【0166】〔実施例13〕本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図14を用いて説明する。なお、リンの代わりに他の15

族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0167】まず、実施例1の工程に従って、図3(B)の工程までを終了させた。図14(A)は図3(B)と同じ状態を図示しており、同一の符号を付している。この工程はリン(n-)の添加工程であり、低濃度不純物領域310、311が形成された。

【0168】次に、レジストマスク308a、308bを除去した後、裏面露光法を用いてレジストマスク11a、11bを形成した。そして、実施例1と同様の添加条件でリン(n+)の添加工程を行い、NTFTのソース領域12、ドレイン領域13、LDD領域14およびチャネル形成領域15を形成した。(図14(B))

【0169】次に、レジストマスク11a、11bを除去した後、レジストマスク16a~16dを形成し、タンタル膜309bをエッチングして第2配線17a~17cを形成した。そして、この状態で実施例1の添加条件に従ってボロン(p++)の添加工程を行い、PTFTのドレイン領域18、ソース領域19およびチャネル形成領域20を形成した。(図14(C))

【0170】本実施例の場合、ボロンを添加するまではPTFTの活性層にはリンが添加されていないので、ボロンの添加量を最小限に抑えることができる。そのため、製造工程のスループットが向上する。

【0171】こうして図14(C)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現されるが、実施例1との違いはPTFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0172】なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0173】また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0174】また、本実施例の構成は実施例4~11の如何なる実施例とも自由に組み合わせることが可能である。

【0175】〔実施例14〕本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図15を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0176】まず、実施例1の工程に従って、図3(A)の工程までを終了させた。次に、レジストマスク21a~21dを形成した後、タンタル膜307をエッチングし、タンタル膜22a、第2配線22b~22dを形成した。そして、実施例1と同様の添加条件でボロン

(p++)の添加工程を行い、PTFTのドレイン領域23、ソース領域24およびチャネル形成領域25を形成した。(図15(A))

【0177】次に、レジストマスク21a~21dを除去した後、レジストマスク26a、26bを形成した。次に、タンタル膜22aをエッチングして第2配線27を形成した。そして、実施例1と同様の添加条件でリン(n-)の添加工程を行い、低濃度不純物領域28、29を形成した。(図15(B))

【0178】次に、レジストマスク26a、26bを除去した後、裏面露光法を用いてレジストマスク30a~30dを形成し、実施例1の添加条件に従ってリン(n+)の添加工程を行い、NTFTのソース領域31、ドレイン領域32、LDD領域33およびチャネル形成領域34を形成した。(図15(C))

【0179】本実施例の場合、図15(C)の工程によってPTFTの活性層にもリンが添加されるので、ドレイン領域35およびソース領域36にはNTFTのソース領域31およびドレイン領域32と同濃度のリンが含まれている。

【0180】こうして図15(C)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現される。

【0181】なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0182】また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0183】また、本実施例の構成は実施例4~12の如何なる実施例とも自由に組み合わせることが可能である。

【0184】〔実施例15〕本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図16を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0185】まず、実施例14(実施例1も参考にする)の工程に従って、図15(A)の工程までを終了させた。図16(A)は図15(A)と同じ状態を図示しており、同一の符号を付している。この工程はボロン(p++)の添加工程であり、PTFTのドレイン領域23、ソース領域24およびチャネル形成領域25が形成された。

【0186】次に、レジストマスク21a~21dを除去した後、レジストマスク38a、38bを形成した。そして、タンタル膜22aをエッチングして第2配線39を形成した。次に、実施例1と同様の添加条件でリン(n

+) の添加工程を行い、高濃度不純物領域40、41を形成した。(図16(B))

【0187】次に、レジストマスク38a、38bを除去した後、レジストマスク42a、42bを形成し、第2配線39を再びエッチングして、第2配線43を形成した。そして、実施例1の添加条件に従ってリン(n-)の添加工程を行い、NTFTのソース領域44、ドレイン領域45、LDD領域46およびチャネル形成領域47を形成した。(図16(C))

【0188】本実施例の特徴としてはボロンを添加した後にPTFTの活性層には全くリンが添加されないという点が挙げられる。後にリンが添加される場合にはリンによってN型に反転しないように予めボロンを多めに添加しておく必要があるが、本実施例の場合にはそのような心配がない。そのため、ボロンの添加量を最小限に抑えることができるので、製造工程のスループットが向上する。

【0189】こうして図16(C)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現されるが、実施例1との違いはPTFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0190】なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0191】また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0192】また、本実施例の構成は実施例4~11の如何なる実施例とも自由に組み合わせることが可能である。

【0193】〔実施例16〕本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図17を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0194】まず、実施例1の工程に従って、図3(A)の工程までを終了させた。次に、レジストマスク48a、48bを形成した後、タンタル膜307をエッチングし、第2配線49a、タンタル膜49bを形成した。そして、実施例1と同様の添加条件でリン(n+)の添加工程を行い、NTFTの活性層に高濃度不純物領域50、51を形成した。(図17(A))

【0195】次に、レジストマスク48a、48bを除去した後、レジストマスク52a、52bを形成した。次に、実施例1と同様の添加条件でリン(n-)の添加工程を行った。この工程によりNTFTのソース領域54、ドレイン領域55、LDD領域56およびチャネル

形成領域57が形成された。(図17(B))

【0196】次に、レジストマスク52a、52bを除去した後、レジストマスク58a~58dを形成し、タンタル膜49bのエッチングを行って、第2配線59a~59cを形成した。そして、実施例1の添加条件に従ってボロン(p++)の添加工程を行い、PTFTのドレイン領域60、ドレイン領域61およびチャネル形成領域62を形成した。(図17(C))

【0197】本実施例の場合、ボロンを添加するまではPTFTの活性層にはリンが添加されていないので、ボロンの添加量を最小限に抑えることができる。そのため、製造工程のスループットが向上する。

【0198】こうして図17(C)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現される。

【0199】なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0200】また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0201】また、本実施例の構成は実施例4~11の如何なる実施例とも自由に組み合わせることが可能である。

【0202】〔実施例17〕本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図18を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0203】まず、実施例16(実施例1も参考にする)の工程に従って、図17(A)の工程までを終了させた。図18(A)は図17(A)と同じ状態を図示しており、同一の符号を付している。この工程はリン(n+)の添加工程であり、NTFTの活性層に高濃度不純物領域50、51が形成された。

【0204】次に、レジストマスク48a、48bを除去した後、レジストマスク63a~63dを形成した。そして、タンタル膜49bをエッチングして第2配線64a~64cを形成した。次に、実施例1と同様の添加条件でボロン(p++)の添加工程を行い、PTFTのドレイン領域65、ソース領域66およびチャネル形成領域67を形成した。(図18(B))

【0205】次に、レジストマスク63a~63dを除去した後、レジストマスク68a、68bを形成し、第2配線49aを再びエッチングして、第2配線69を形成した。そして、実施例1の添加条件に従ってリン(n-)の添加工程を行い、NTFTのソース領域70、ドレイン領域71、LDD領域72およびチャネル形成領域7



3を形成した。(図18(C))

【0206】本実施例の特徴としてはPTFTの活性層には全くリンが添加されないという点が挙げられる。前後の工程でリンが添加される場合にはリンによってN型に反転しないようにボロンを多めに添加する必要があるが、本実施例の場合にはそのような心配がない。そのため、ボロンの添加量を最小限に抑えることができるので、製造工程のスループットが向上する。

【0207】こうして図18(C)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現されるが、実施例1との違いはPTFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0208】なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0209】また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0210】また、本実施例の構成は実施例4~11の如何なる実施例とも自由に組み合わせることが可能である。

【0211】〔実施例18〕実施例15の作製工程に従った場合、図16(A)、(B)、(C)を見ても分かるようにPTFTの活性層に対してリンが添加されない。そのため、実施例12に示した工程(結晶化に用いた触媒元素をソース領域またはドレイン領域に添加されたリンによってゲッタリングする工程)を実施することはできない。

【0212】しかしながら、図16(B)でレジストマスク38a、38bを形成する際に、PTFTとなる領域の上にはレジストマスクを形成しないようにすればPTFTの活性層にもリンを添加しておくことが可能となる。

【0213】ただし、その場合にはPTFTは第2配線22bのみがドーピング工程のマスクとして用いられるため、完全にマスクとして機能しうることが前提となる。即ち、タンタル膜でなる第2配線22bの膜厚が250nm以上(好ましくは350nm以上)であることが望ましい。それ以下になるとPTFTのチャンネル形成領域25の中にリンが到達してしまう恐れがある。

【0214】なお、本実施例の構成は実施例4~12の如何なる実施例とも自由に組み合わせることが可能である。

【0215】〔実施例19〕本実施例では実施例15に示した作製工程においてバターンニング回数を削減した場合の例について図19を用いて説明する。

【0216】まず、実施例15の作製工程に従って図1

6(B)の状態を得た。そして、その状態で等方的なエッチング手法によって第2配線39をエッチングする。この工程では第2配線39が側面から横方向にエッチングされ、線幅の細くなった第2配線74が形成された。

(図19(A))

【0217】次に、レジストマスク38a、38bを除去した後、実施例1と同様の添加条件でリン(n-)の添加工程を行い、NTFTのソース領域75、ドレイン領域76、LDD領域77およびチャンネル形成領域78を形成した。また、同時にPTFTのドレイン領域79およびソース領域80にもLDD領域77と同濃度のリンが添加された。但し、PTFTのチャンネル形成領域81にはPTFTのゲート電極として機能する第2配線がマスクとなり、リンは添加されなかった。(図19

(B))

【0218】こうして図19(B)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現されるが、実施例1との違いはPTFTのソース領域およびドレイン領域にはNTFTのLDD領域と同濃度のリンが含まれている点である。

【0219】本実施例の場合、図19(B)の工程では第2配線がマスクとして機能するため、チャンネル形成領域78、81にはリンが添加されないような膜厚としておくことが必要である。しかし、本実施例の作製工程に従えばバターンニングのマスク数を1枚減らすことができるのでスループットが向上する。

【0220】なお、本実施例の作製工程において、ボロンは他の13族に属する元素としても良いし、リンは他の15族に属する元素としても良い。また、特に説明のないその他の条件については実施例1を参考にすれば良い。

【0221】また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0222】なお、本実施例の構成は実施例4~11の如何なる実施例とも自由に組み合わせることが可能である。また、実施例18と組み合わせることによって、実施例12との組み合わせも可能となる。

【0223】〔実施例20〕本実施例では実施例16に示した作製工程においてバターンニング回数を削減した場合の例について図20を用いて説明する。

【0224】まず、実施例16の作製工程に従って図17(A)の状態を得た。そして、その状態で等方的なエッチング手法によって第2配線49aをエッチングする。この工程では第2配線49aが側面から横方向にエッチングされ、線幅の細くなった第2配線82aが形成された。なお、PTFTを覆うタンタル膜49bも同時にエッチングされ、タンタル膜82bが形成された。

(図20(A))

【0225】次に、レジストマスク48a、48bを除去した後、実施例1と同様の添加条件でリン(n-)の添加工程を行い、NTFTのソース領域83、ドレイン領域84、LDD領域85およびチャネル形成領域86を形成した。(図20(B))

【0226】こうして図20(B)の工程が終了したら、実施例16の作製工程に従って図17(C)の工程を行った。この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現される。

【0227】本実施例の場合、図20(B)の工程では第2配線がマスクとして機能するため、チャネル形成領域85およびPTFTの活性層にはリンが添加されないような膜厚としておくことが必要である。しかし、本実施例の作製工程に従えばパターニングのマスク数を1枚減らすことができるのでスループットが向上する。

【0228】なお、本実施例の作製工程において、ボロンは他の13族に属する元素としても良いし、リンは他の15族に属する元素としても良い。また、特に説明のないその他の条件については実施例1を参考にすれば良い。

【0229】また、本実施例の作製工程はCMOS回路を例にとりて説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0230】なお、本実施例の構成は実施例4~11の如何なる実施例とも自由に組み合わせることができる。また、実施例18と組み合わせることによって、実施例12との組み合わせも可能となる。

【0231】〔実施例21〕本実施例では第1配線または第2配線の材料としてタンタル膜以外の材料を用いた場合について説明する。説明は図21を用いて行う。なお、本実施例は、実施例10に示したような、700~1150℃といった高い温度での熱処理工程を含む作製工程において特に有効な技術である。

【0232】第1配線は活性層の形成よりも前に形成されているため、活性層を熱酸化するような工程が含まれると、第1配線も高い熱処理が加えられることになる。その時、第1配線を形成する成分元素が酸素と結びつくことで、配線抵抗が増加するといった問題が生じうる。本実施例はそのような問題に対する技術である。

【0233】本実施例の場合、図21(A)に示すように基板として耐熱性の高い石英基板90を用いた。勿論、熱酸化膜を設けたシリコン基板や絶縁膜を設けたセラミックス基板等を用いても構わない。

【0234】そして第1配線91a~91cの材料としては、タングステンシリサイド(WSi<sub>x</sub>: x=2~2.5)膜91a1とシリコン(Si)膜91a2とを積層した積層膜を用いた。勿論、この順序は逆でも良いし、シリコン膜でタングステンシリサイド膜を挟んだ三層構造としても構わない。

【0235】図21(B)は画素マトリクス回路であるが、この場合にも第1配線92a~92cおよび容量配線93を、タングステンシリサイド膜とシリコン膜との積層膜とした。

【0236】このような材料を用いることで後に700~1150℃といった高い温度で熱処理工程を行ってもタングステンシリサイド膜91a1の配線抵抗の増加を招くようなことがない。これはタングステンシリサイド膜に含まれる余剰シリコンが優先的に酸素と結合するため、タングステンが酸素と結合するのを防ぐからである。

【0237】なお、タングステンシリサイド膜の代わりには他の金属シリサイド膜、例えばモリブデンシリサイド(MoS<sub>i</sub>x)膜、チタンシリサイド(TiSi<sub>x</sub>)膜、コバルトシリサイド(CoSi<sub>x</sub>)膜、タンタルシリサイド(TaSi<sub>x</sub>)膜等を用いても構わない。

【0238】また、第1配線として単体金属膜(代表的にはタンタル膜、チタン膜、タングステン膜、モリブデン膜)を用いるためには、単体金属膜の上面および/または下面に接してシリコン膜を設ければ良い。こうすることで単体金属膜の酸化を防ぐことができ、配線抵抗の増加を防ぐことができる。

【0239】従って、タンタル膜、タングステン膜といった単体金属膜をシリコン膜で挟んだ三層構造にすれば、本実施例で用いるような高温プロセスにも耐える第1配線を形成することができる。

【0240】なお、本実施例の構成は実施例1~20の如何なる実施例とも自由に組み合わせることが可能である。

【0241】〔実施例22〕本実施例では、動作電圧の違いによってドライバ回路(またはその他の信号処理回路)で配置するTFTの構造を異なるものとし、最適な回路設計を行う場合の例を示す。

【0242】図1(A)に示したCMOS回路はAM-LCDのゲートドライバ回路、ソースドライバ回路またはその他の信号処理回路を形成するが、回路によって動作電圧は異なる。例えば、図7においてシフトレジスタ回路702a、703aは動作電圧が5V程度と低く、高速動作を要求される回路であり、バッファ回路702c、703cは動作電圧が1.6~2.0Vと高い回路である。

【0243】シフトレジスタ回路の場合、動作電圧が低いのでホットキャリア注入が殆ど問題とならず、GOLD構造にしくても大きな問題はない。逆に、第1配線(サブゲート配線)と活性層との間で形成される寄生容量を排除するためには、第1配線を設けない方が好ましい場合もありうる。ところがバッファ回路の場合、動作電圧が高いのでホットキャリア注入の対策は必須である。そのため、図1(A)に示した構造が有効となる。

【0244】このように同じドライバ回路であっても

動作電圧の違いに応じて図1(A)のCMOS回路を用いる回路と、通常のLDD構造のNTFTを有するCMOS回路を用いる回路とが同一基板上に存在する場合があります。

【0245】勿論、ドライバー回路以外の信号処理回路(D/Aコンバータ回路、 $\gamma$ 補正回路または信号分割回路など)も動作電圧が低いので通常のLDD構造のNTFTを有するCMOS回路を用いる場合がある。

【0246】なお、本実施例の構成は実施例1~21に示した如何なる実施例とも自由に組み合わせることが可能である。

【0247】〔実施例23〕図1に示したCMOS回路はNTFTのみに第1配線102aが設けられ、PTFTには設けられない構造となっているが、第1配線と同一層の導電層をPTFTの活性層の下に設けることもできる。

【0248】ここでPTFTの活性層の下に設ける導電層は、PTFTの動作に影響を与えない電位(具体的には最低電源電位等)にあるか、フローティング状態に保持される。即ち、完全に遮光層としての機能しか果たさないようになっている。

【0249】また、図2に示した画素マトリクス回路はNTFTで形成されているが、PTFTであっても、活性層の下に遮光層として機能する第1配線を設けることで、画素マトリクス回路を形成することが可能である。

【0250】なお、本実施例の構成は、実施例1~実施例22の如何なる実施例とも自由に組み合わせることができる。

【0251】〔実施例24〕本実施例では動作電圧の違いに応じて第1絶縁層および/または第2絶縁層の膜厚を異ならせる場合について説明する。

【0252】図6に示したAM-LCDの場合、画素マトリクス回路607の動作電圧は1.6Vであるが、ドライバー回路603、604または信号処理回路605では動作電圧が1.0V以下、さらには5Vの回路もある。

【0253】具体的には図7において、レベルシフト回路702b、703b、バッファ回路702c、703c、サンプリング回路703dは画素マトリクス回路701と同様の動作電圧(1.6~2.0V)であるが、シフトレジスタ回路702a、703aまたは信号処理回路(図示せず)は動作電圧が5~1.0Vと低い。

【0254】このようなシフトレジスタ回路や信号処理回路は高速動作が最も重要なファクターとして考えられるため、ゲート絶縁膜をできるだけ薄くしてTFTの動作速度を上げることが有効である。逆に、バッファ回路や画素マトリクス回路は高速動作性能がさほど要求されないため、ゲート絶縁膜を厚くして耐圧特性を向上させることが有効である。

【0255】このように動作電圧に応じて回路が要求する仕様が異なる場合、それに応じてゲート絶縁膜の膜厚

を異ならせることが有効である。本願発明のNTFTの構造では第1絶縁層と第2絶縁層がゲート絶縁膜として機能する絶縁膜であるため、その膜厚を回路に応じて変えることができる。

【0256】例えば、シフトレジスタ回路、信号処理回路(信号分割回路等)のように動作電圧が低く、高速動作が必要な回路は第1絶縁層を厚く(200~400nm)し、第2絶縁層を薄く(10~30nm)することが有効である。なお、第1絶縁層を第2絶縁層並に薄くすると動作速度が向上するが寄生容量が大きくなって周波数特性が悪化するため好ましくない。場合によっては、実施例22のようにシフトレジスタ回路等の場合は第1配線を設けない構造としても良い。

【0257】また、バッファ回路、サンプリング回路または画素マトリクス回路などのように動作電圧が高い場合は、第2絶縁層を100~200nmと厚くして、ゲート絶縁膜としての耐圧特性を高めておくことが望ましい。

【0258】また、画素マトリクス回路では第1配線の影響を極力小さくすることが必要であるため、第1絶縁層の膜厚を200~400nmと厚くしておくこともできる。こうすることで画素TFTに設けられた第1配線を遮光層として機能させることが可能となる。

【0259】以上のように、動作電圧の違う回路に応じてゲート絶縁膜(第1絶縁層および/または第2絶縁層)の膜厚を異ならせることは有効である。

【0260】なお、本実施例の構成は実施例1~23の如何なる実施例とも自由に組み合わせることが可能である。

【0261】〔実施例25〕本願発明のTFT構造はAM-LCDのような電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に適用しても良い。

【0262】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut(SOI TEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI構造(単結晶半導体薄膜を用いたTFT構造)に本願発明を適用しても良い。

【0263】また、本実施例の半導体回路は実施例1~24のどのような組み合わせからなる構成を用いても実現することができる。

【0264】〔実施例26〕本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光

学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明を実施できる。

【0265】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図22に示す。

【0266】図22（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0267】図22（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0268】図22（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0269】図22（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0270】図22（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0271】図22（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0272】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能で

ある。また、本実施例の電子機器は実施例1～25のどのような組み合わせからなる構成を用いても実現することができる。

【0273】

【発明の効果】本願発明は同一構造のNTFTを、活性層の下側に設けた第1配線の電圧を制御することでGOLD構造として用いたり、LDD構造として用いたりする点に特徴がある。即ち、工程数を増やしたり煩雑にすることなく、同一基板上にGOLD構造とLDD構造とを実現することができる。

【0274】そのため、AM-LCDやAM-LCDを表示ディスプレイとして有する電子機器等の半導体装置において、回路が要求する仕様に依じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができた。

【図面の簡単な説明】

【図1】 CMOS回路の構造を示す図。

【図2】 画素マトリクス回路の構造を示す図。

【図3】 CMOS回路の作製工程を示す図。

【図4】 画素マトリクス回路の作製工程を示す図。

【図5】 画素マトリクス回路の作製工程を示す図。

【図6】 AM-LCDの外観を示す図。

【図7】 AM-LCDのブロック構成を示す図。

【図8】 CMOS回路または画素マトリクス回路の構造を示す図。

【図9】 画素マトリクス回路（特に保持容量）の構造を示す図。

【図10】 CMOS回路または画素マトリクス回路の構造を示す図。

【図11】 CMOS回路または画素マトリクス回路の構造を示す図。

【図12】 CMOS回路の構造を示す図。

【図13】 CMOS回路の作製工程を示す図。

【図14】 CMOS回路の作製工程を示す図。

【図15】 CMOS回路の作製工程を示す図。

【図16】 CMOS回路の作製工程を示す図。

【図17】 CMOS回路の作製工程を示す図。

【図18】 CMOS回路の作製工程を示す図。

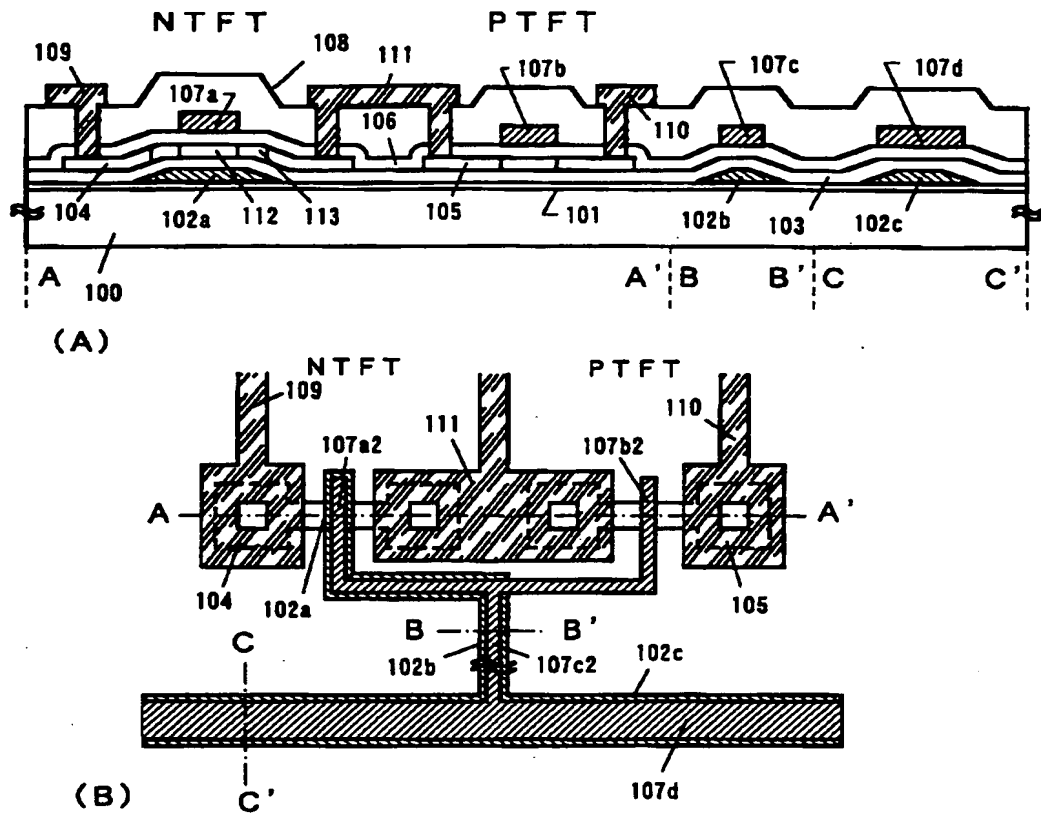
【図19】 CMOS回路の作製工程を示す図。

【図20】 CMOS回路の作製工程を示す図。

【図21】 CMOS回路または画素マトリクス回路の構造を示す図。

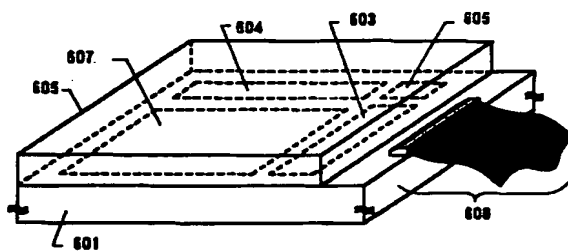
【図22】 電子機器の一例を示す図。

【図1】



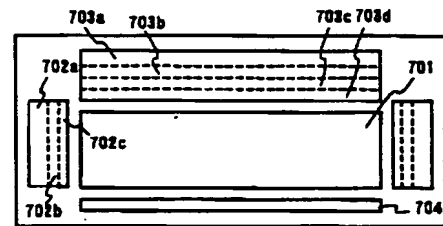
100:基板 101:下地膜 (TaOx) 102a, 102b, 102c: 第1配線  
 103: 第1絶縁層 104, 105: 活性層 106: 第2絶縁層  
 107a, 107b, 107c, 107d: 第2配線 108: 第1層間絶縁層  
 109, 110: ソース配線 111: ドレイン配線

【図6】



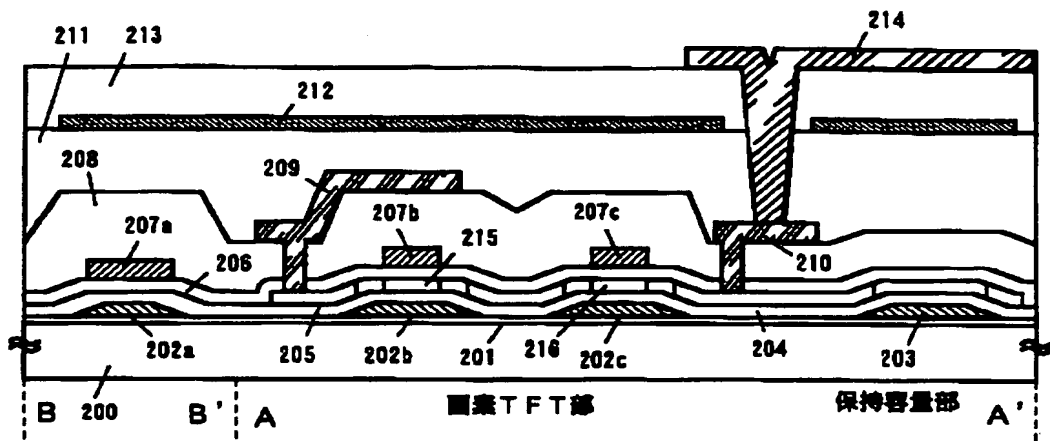
601: 絶縁被覆を有する基板 602: 回路マトリクス回路  
 603: ソースドレイン回路 604: ゲイトドレイン回路  
 605: 信号処理回路 606: FPC 1007: 対向基板

【図7】

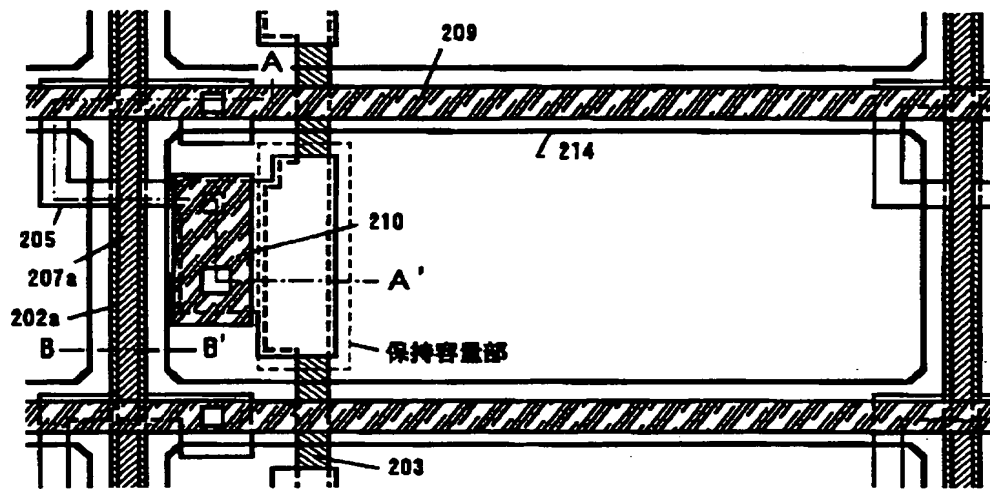


701: 回路マトリクス回路 702a, 703a: シフトレジスタ回路  
 702b, 703b: 1st アンプ回路 702c, 703c: 2nd アンプ回路  
 703d: 3rd アンプ回路 704: プリミティブ回路

【図2】



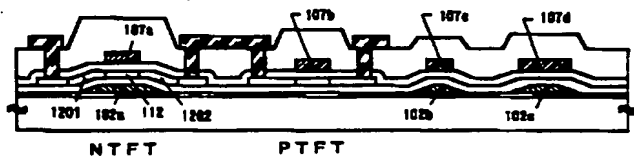
(A)



(B)

200:基板 201:下地膜(TaOx) 202a, 202b, 202c:第1配線 203:容量配線  
 204:第1絶縁層 205:活性層 206:第2絶縁層 207a, 207b, 207c:第2配線  
 208:第1層間絶縁層 209:ゲート配線 210:ドレイン配線 211:第2層間絶縁層  
 212:ブラックス 213:第3層間絶縁層 214:画素電極 215, 216:昇昇形成領域

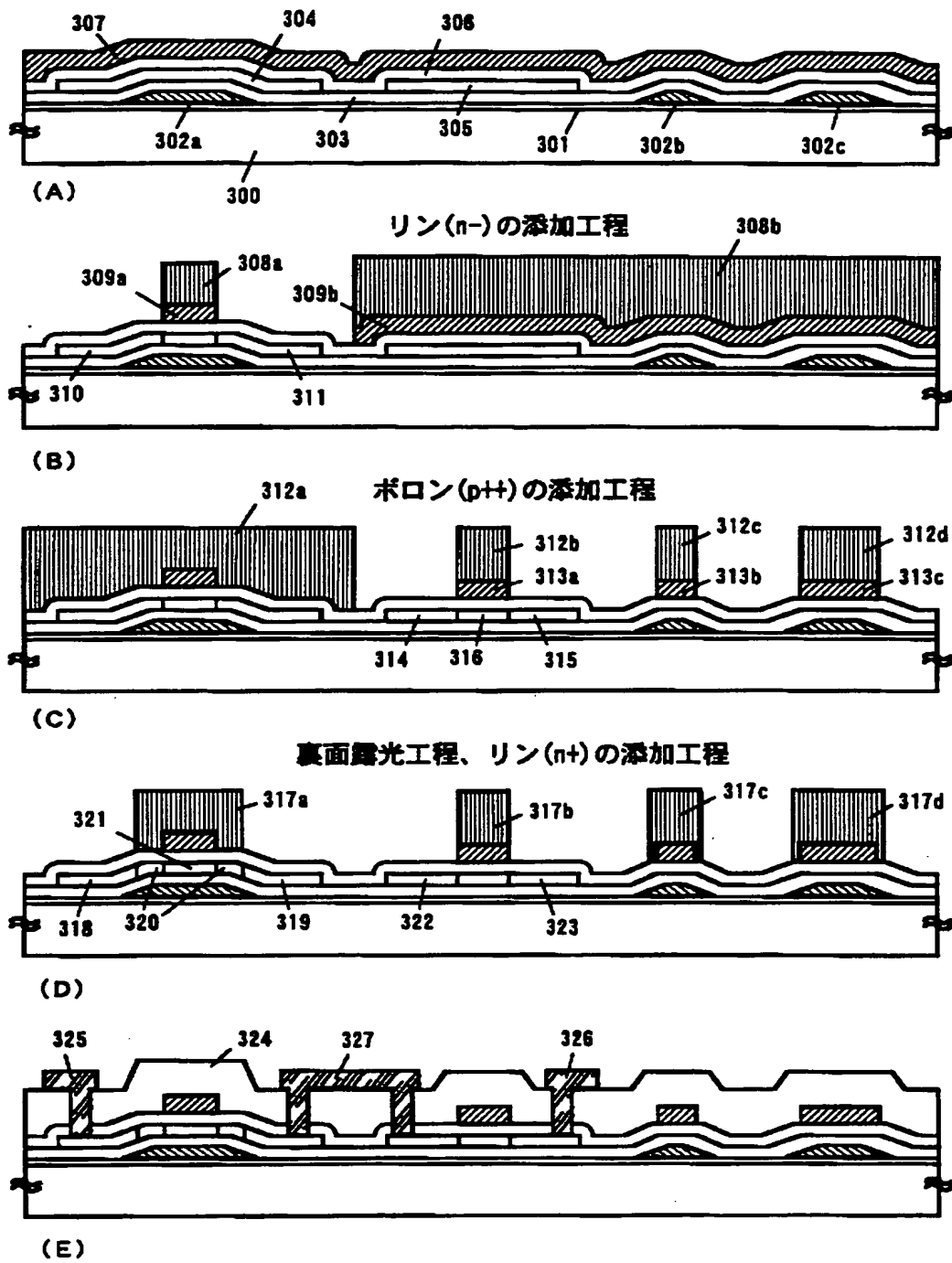
【図12】



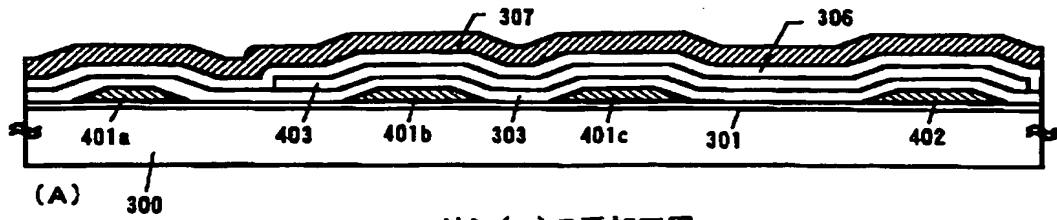
NTFT

PTFT

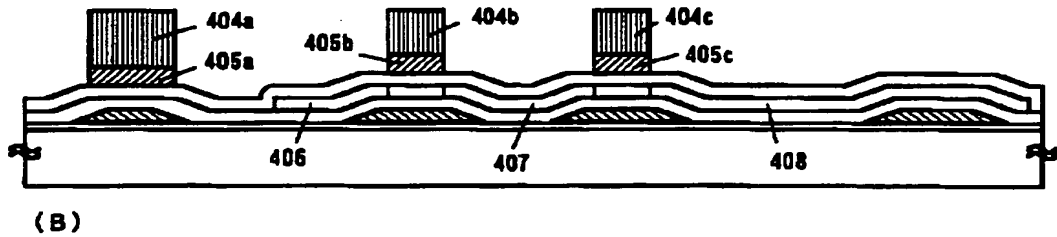
【図3】



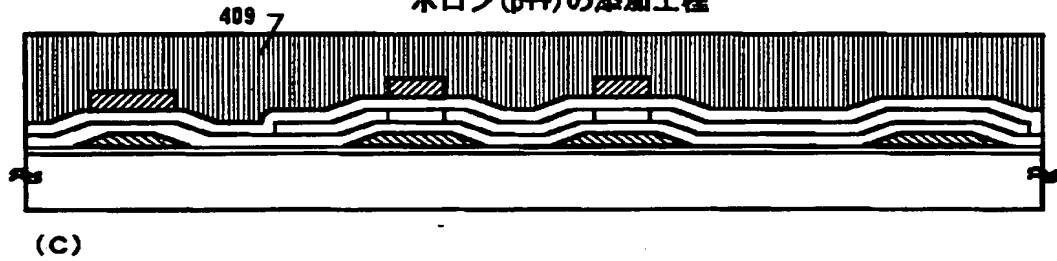
【図4】



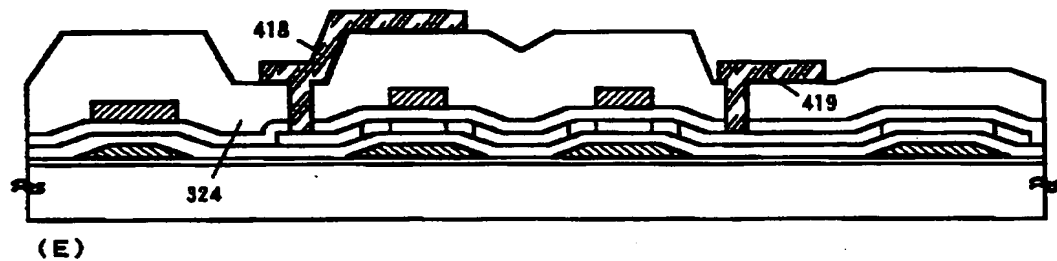
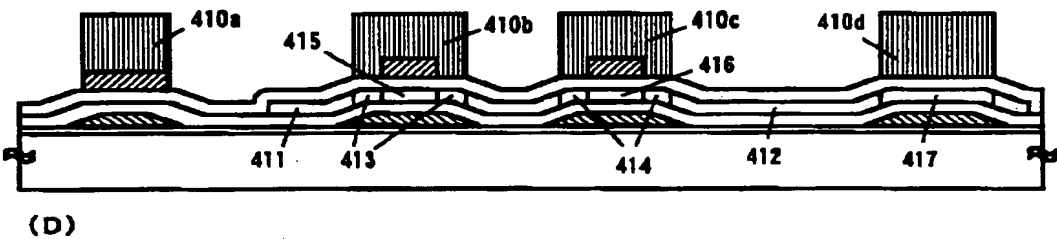
リン(n-)の添加工程



ボロン(p+)の添加工程

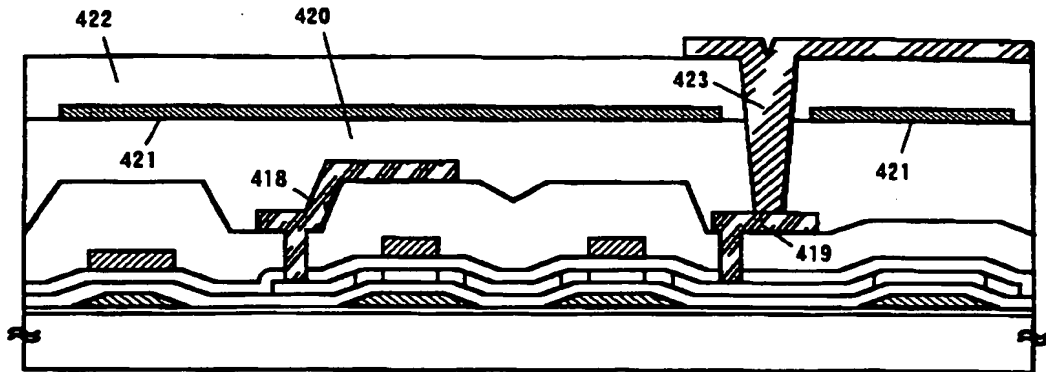


裏面露光工程、リン(n+)の添加工程

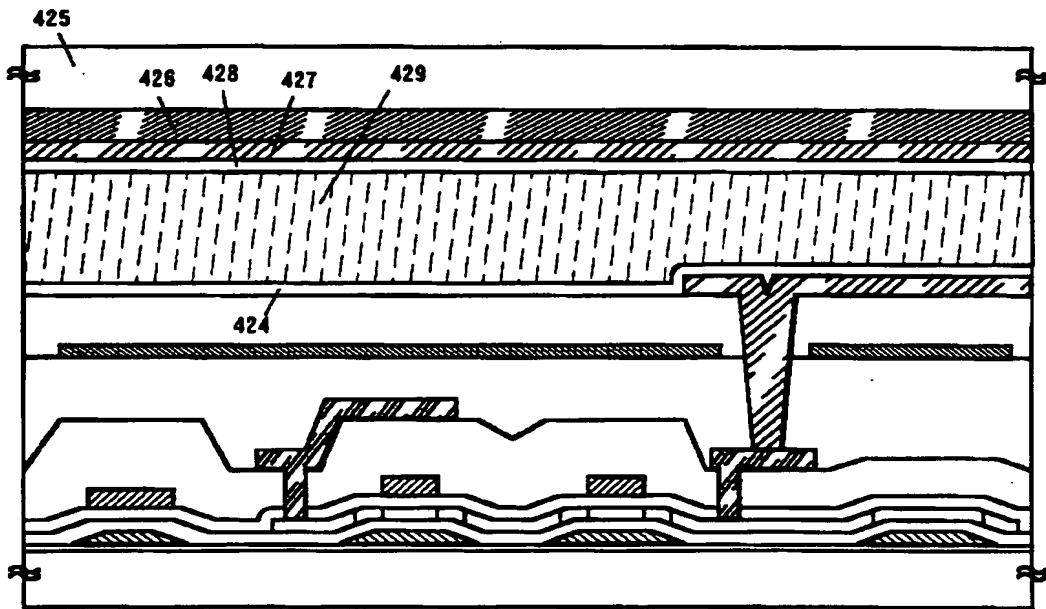




【図5】

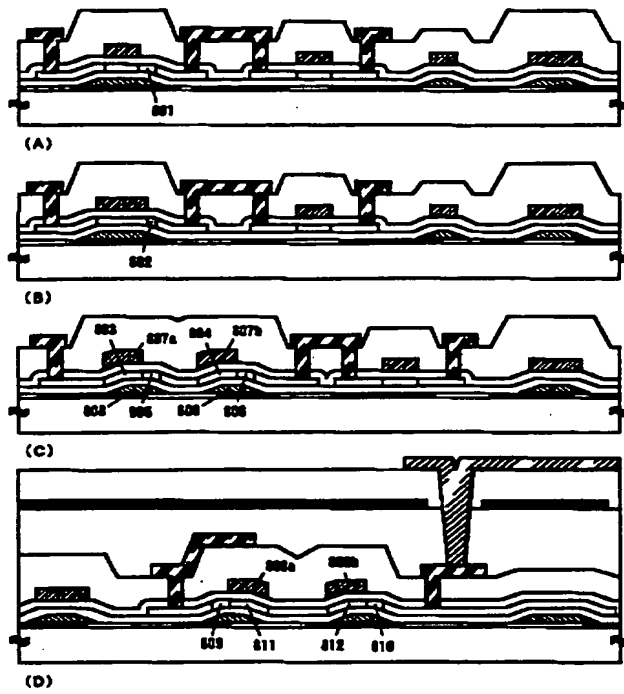


(A)

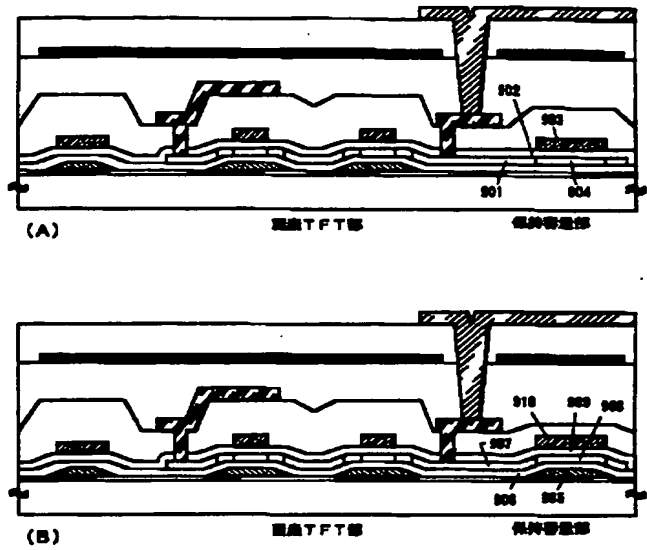


(B)

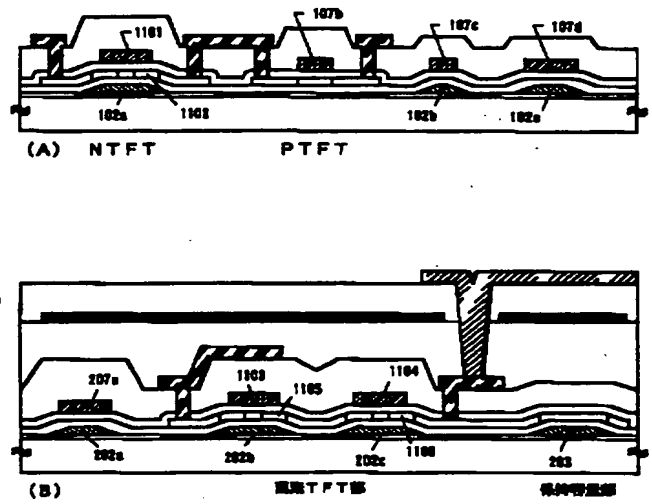
【図8】



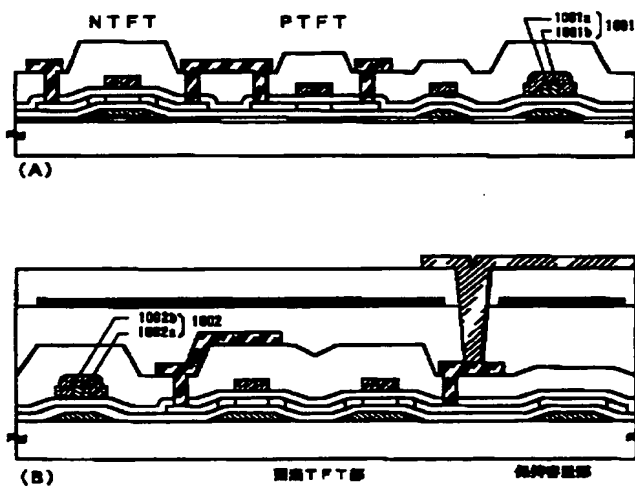
【図9】



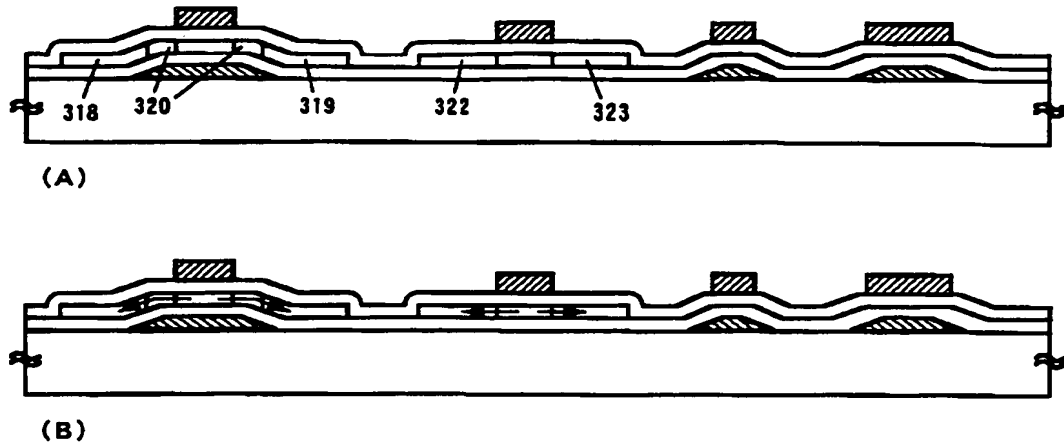
【図11】



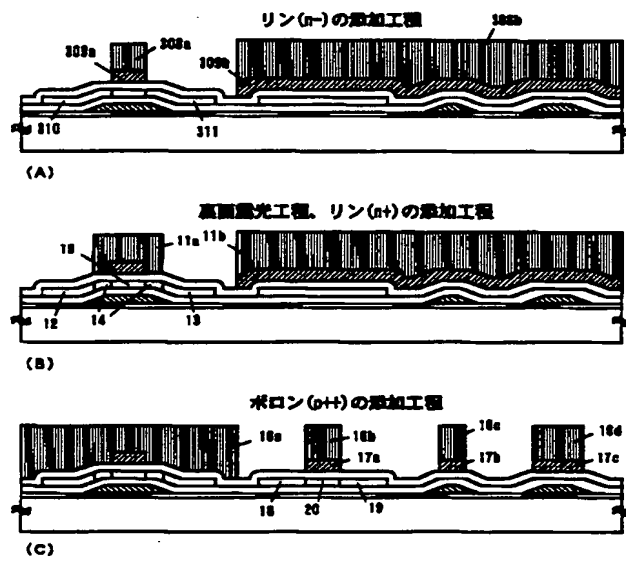
【図10】



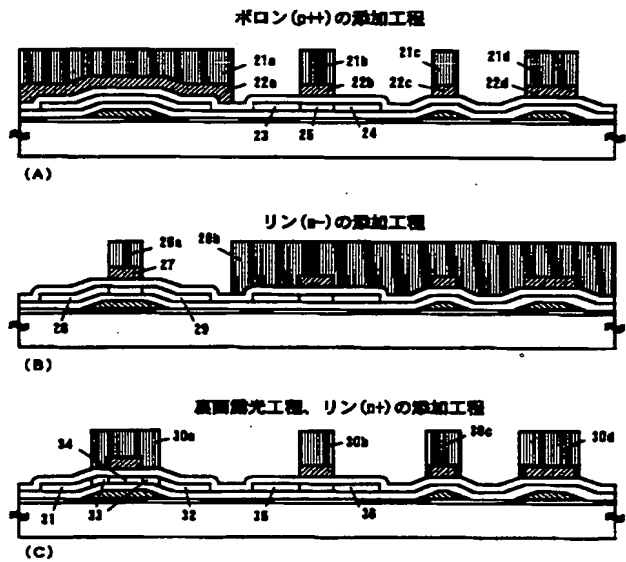
【図13】



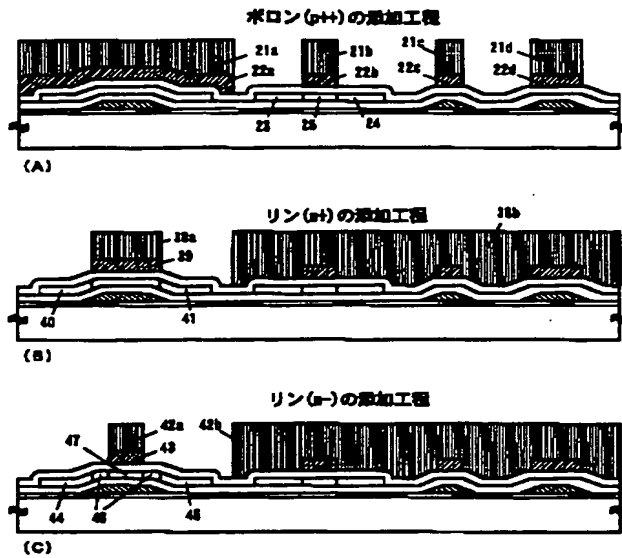
【図14】



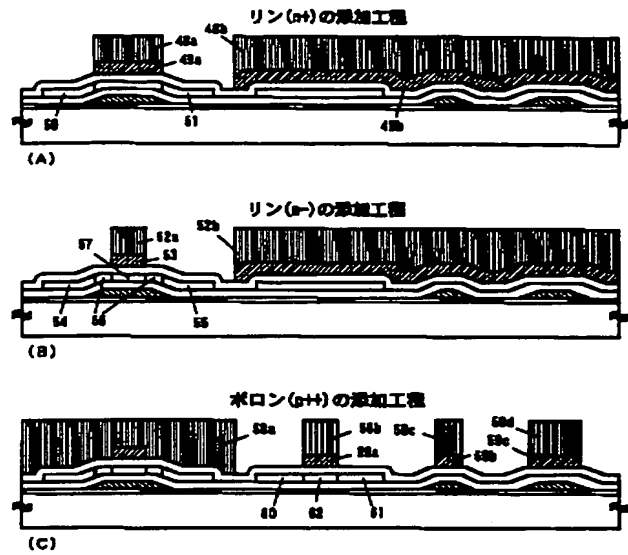
【図15】



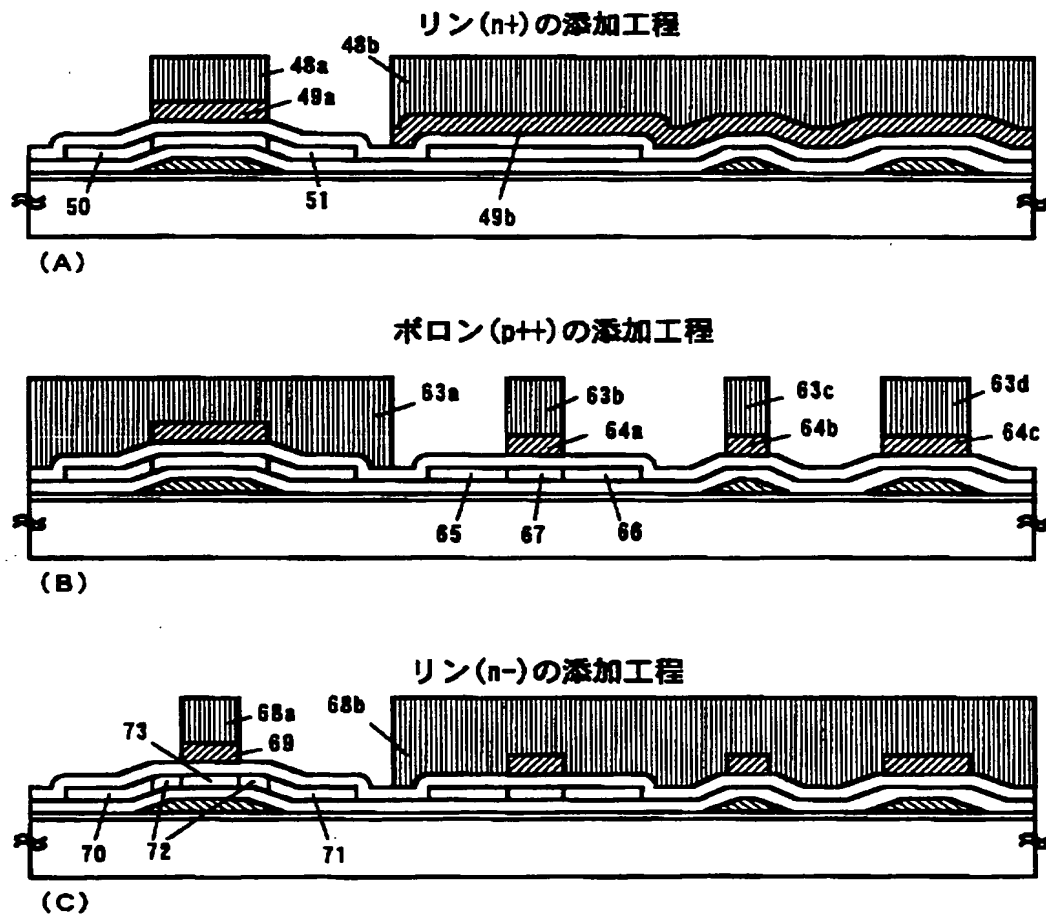
【図16】



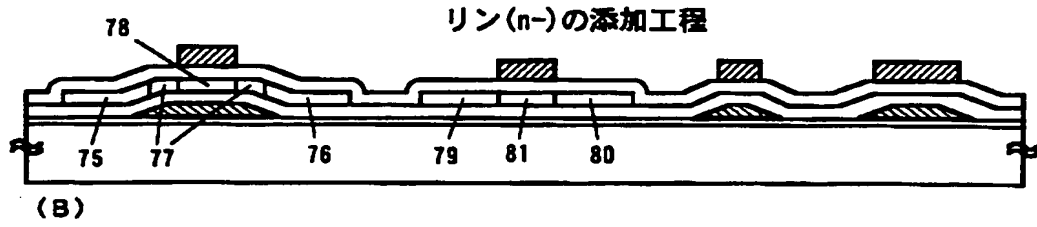
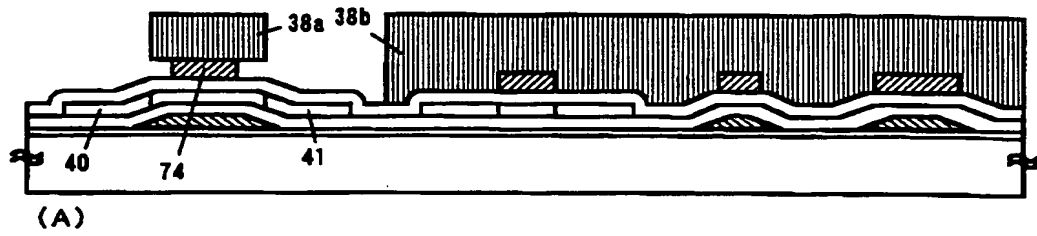
【図17】



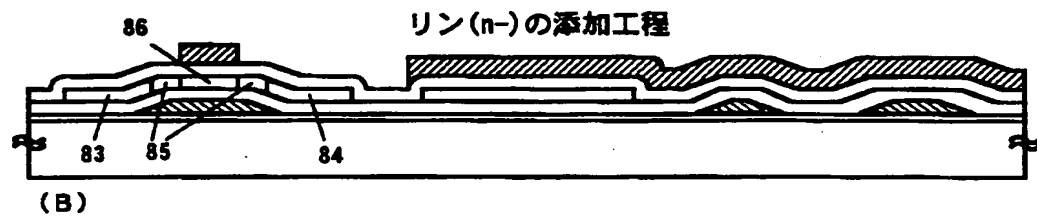
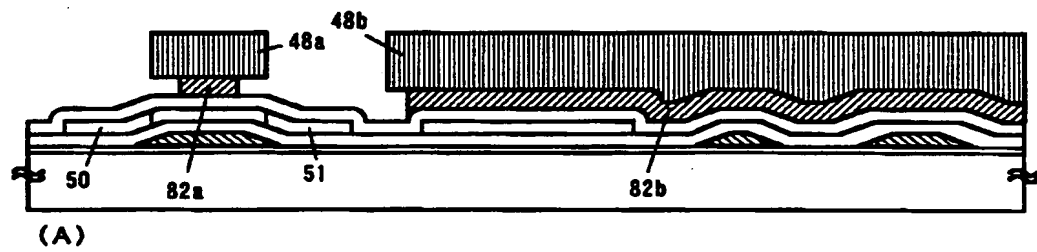
【図18】



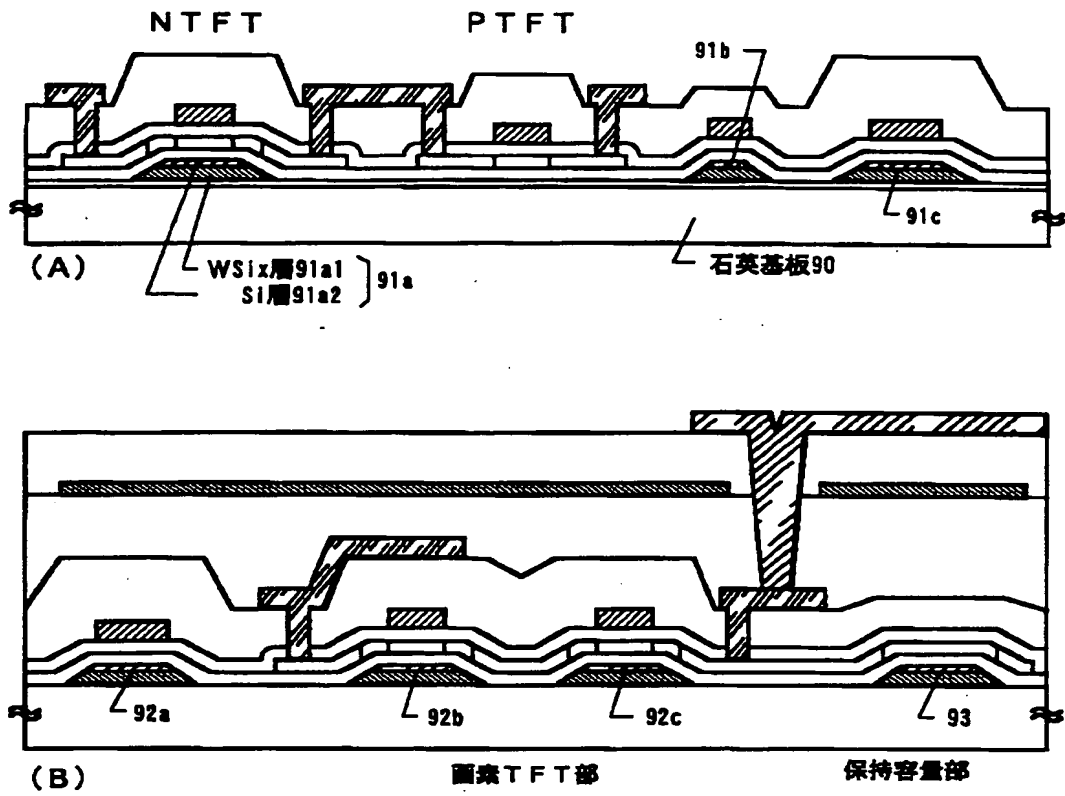
【図19】



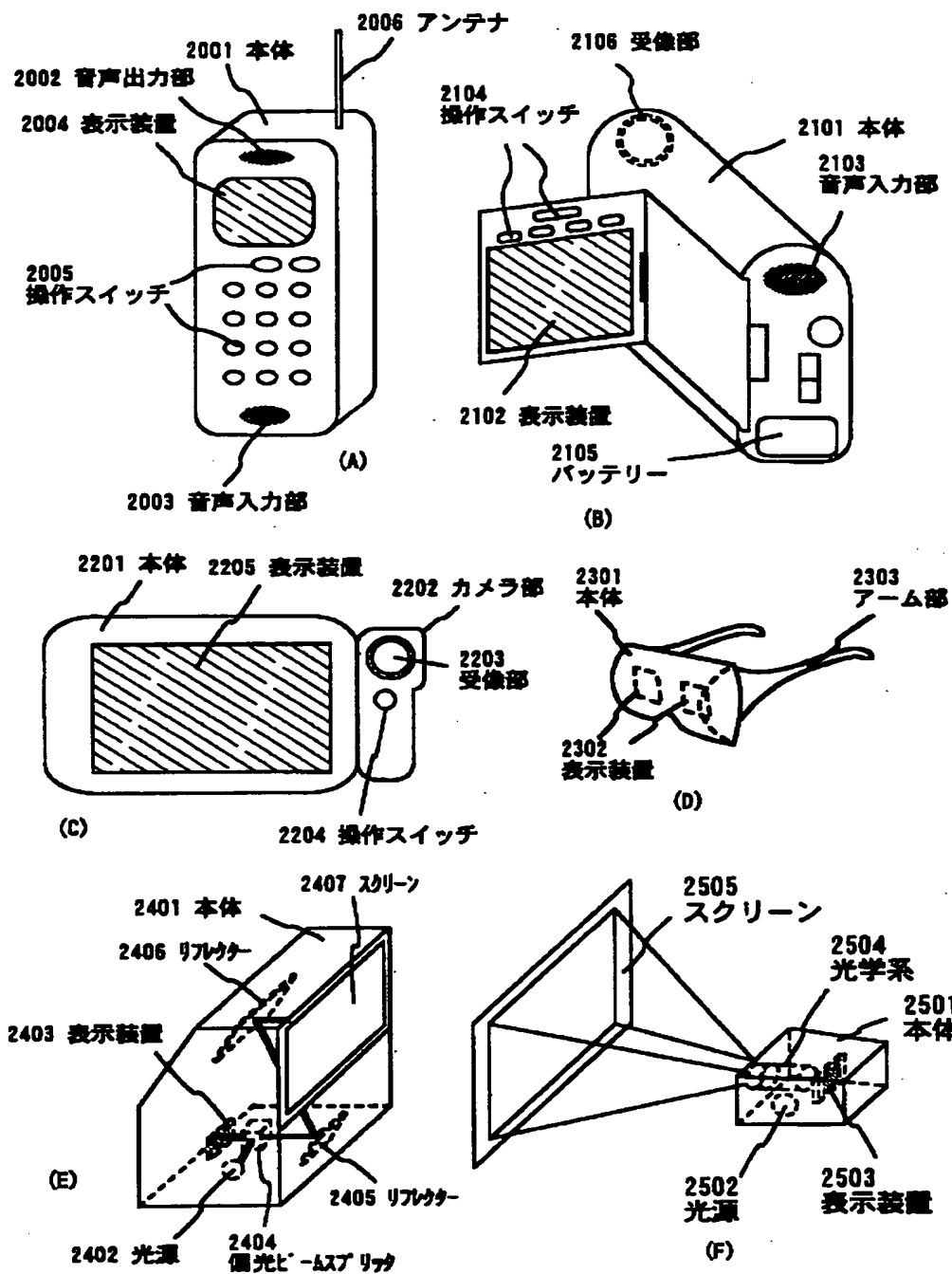
【図20】



【図21】



【図22】



フロントページの続き

(51) Int. Cl. 7

H01L 21/336

識別記号

FI

H01L 29/78

テ-コ-ド (参考)

616A

617N

Fターム(参考) 2H092 JA24 JA37 JB52 JB69 KA03  
KA10 KA17 MA05 MA07 MA15  
MA17 MA27 MA29 MA30 NA07  
NA27 NA28 NA29 PA01 PA06  
5F048 AB10 AC04 BA16 BB02 BB13  
BB14 BC06 BC12 BF02 BF07  
BF12 BG01 BG03 BG11 DA18  
DA19 DB06  
5F110 AA08 AA12 AA13 AA18 BB02  
BB04 CC02 CC08 DD01 DD02  
DD03 DD05 DD12 DD13 DD14  
DD15 DD24 EE04 EE05 EE06  
EE15 EE23 EE28 EE30 EE44  
FF02 FF03 FF04 FF10 FF30  
GG01 GG02 GG13 GG14 GG25  
GG32 GG52 HJ01 HJ04 HJ18  
HL03 HL04 HL06 HL12 HM15  
NN03 NN04 NN22 NN23 NN24  
NN27 NN42 NN44 NN46 NN47  
NN72 PP03 PP23 PP24 PP34  
QQ09 QQ12 QQ19 QQ28



English Translation

(19) Japanese Patent Office (JP)  
(11) Laid-open No. : 2000-196093  
(43) Laid open Date : July 14, 2000  
(12) Patent Laid-open Official Gazette (A)  
(51) Int. Cl.<sup>7</sup>

H 01 L 29/786  
G 02 F 1/136  
H 01 L 21/8238  
27/092  
27/08

Discrimination Mark 500

331

The Number of Claims: 16 (30 pages in total)

Request of Examination: not filed

.....

(21) Application No. : Hei 10-370541  
(22) Application Date : December 25, 1998  
(71) Applicant : 000153878  
Semiconductor Energy Laboratory Co., Ltd.  
398, Hase, Atsugi-shi, Kanagawa-ken  
(72) Inventor : Shunpei YAMAZAKI  
c/o Semiconductor Energy Laboratory Co., Ltd.  
398, Hase, Atsugi-shi, Kanagawa-ken  
(72) Inventor : Hisashi OHTANI  
c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(54)[Title of the Invention] Semiconductor Device And  
Manufacturing Thereof

(57) [NAME OF DOCUMENT] Document of abstract

[ABSTRACT]

[PURPOSE]

Providing a semiconductor device with a TFT structure with  
high reliability

[MEANS]

In a CMOS circuit formed on a substrate 100, a subordinate gate wiring line (a first wiring line) 102a and main gate wiring line (a second wiring line) 107a is provided in an n-channel TFT. The LDD regions 113 overlaps the first wiring line 102a and does not overlap the second wiring line 107a. Thus, applying a gate voltage to the first wiring line forms the GOLD structure, while not applying forms the LLD structure. In this way, the GOLD structure and the LLD structure can be used appropriately in accordance with the respective specifications required for the circuits.

[Scope of Claims]

[Claim 1]

A semiconductor device including a CMOS circuit formed  
by n-channel TFT and p-channel TFT, characterized in that:

the CMOS circuit has a structure that an active layer

is sandwiched by a first wiring line and a second wiring line through an insulating layer in the n-channel TFT,

the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[Claim 2]

A semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT, characterized in that:

the CMOS circuit has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer in the n-channel TFT and the p-channel TFT,

the active layer of the n-channel TFT includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[Claim 3]

A semiconductor device according to claim 1, characterized in that the first wiring line of the n-channel TFT is electrically connected with the second wiring line.

[Claim 4]

A semiconductor device according to claim 1 or 2,

characterized in that the first wiring line and/or the second wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Claim 5]

A semiconductor device having a pixel TFT and a storage capacitor formed in the n-channel TFT, characterized in that:

the pixel TFT has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer,

the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[Claim 6]

A semiconductor device according to claim 5, characterized in that the storage capacitor is formed between the first wiring line, the first insulating layer and the active layer.

[Claim 7]

A semiconductor device according to claim 5, characterized in that the first wiring line is kept at the floating electric potential.

[Claim 8]

A semiconductor device according to claim 5 or 6, characterized in that the first wiring line is kept at the lowest power supply electric potential.

[Claim 9]

A semiconductor device according to claim 5 or 6, characterized in that the first wiring line and/or the second wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Claim 10]

A semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate, characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit have a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer; and

the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring connected to the n-channel TFT included in the driver circuit is kept at the same level of electric potential as the second wiring line connected to the n-channel TFT included in the said driver circuit.

[Claim 11]

A semiconductor device according to claim 10, characterized in that the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[Claim 12]

A semiconductor device according to claim 10 or 11, characterized in that the first wiring line and/or the second wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Claim 13]

A semiconductor device, characterized in that the semiconductor device according to any one of claims 1 to 12 is an active matrix liquid crystal display or an active matrix EL display.

[Claim 14]

A semiconductor device, characterized in that the semiconductor device according to any one of claims 1 to 12 is a video camera, a digital camera, a projector, a projection TV, a goggle type display, an automobile navigation system, a personal computer, or a portable information terminal.

[Claim 15]

Manufacturing method of a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT comprising:

- a process of forming a first wiring line on a substrate,
- a process of forming a first insulating layer on the first wiring line,

- a process of forming an active layer of the n-channel TFT and an active layer of the p-channel TFT on the first insulating layer,

- a process of forming a second insulating layer by overlapping the active layer of n-channel TFT and the active layer of p-channel layer, and

- a process of forming a second wiring line on the second insulating layer,

- a process of forming a LDD region on the active layer of the n-channel TFT; and

- the LDD region is provided overlap the first wiring line and not to overlap the second wiring line.

[Claim 16]

Manufacturing method of a semiconductor device according to claim 15, characterized in that the first wiring line and/ or the second wiring line is formed by a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention belongs]

The present invention relates to a semiconductor device having a circuit composed of a thin film transistor (hereinafter referred to as TFT). For example, the invention relates to an electro-optical device represented by a liquid crystal display panel and to electronic equipment mounted with the electro-optical device as a component.

[0002]

In this specification, a semiconductor device refers to a device in general that utilizes semiconductor characteristics to function, and electro-optical devices, semiconductor circuits, and electronic equipment are semiconductor devices.

[0003]

[Prior Art]

A thin film transistor (hereinafter referred to as TFT) can be formed on a transparent glass substrate, and hence its application to an active matrix liquid crystal display (hereinafter referred to as AM-LCD) has been developed actively.

A TFT utilizing a crystalline semiconductor film (typically, a polysilicon film) can provide high mobility, making it possible to integrate functional circuits on the same substrate for high definition image display.

[0004]

An active matrix liquid crystal display device requires



million TFTs for pixels alone when the screen is to have high definition. Its functional circuits also need TFTs to further increase the number of required TFTs. Each of these TFTs has to have secured reliability and operate stably in order to realize stable operation of the liquid crystal display device.

[0005]

However, the TFT is considered as not so equal in terms of reliability to a MOSFET that is formed on a single crystal semiconductor substrate. The TFT experiences lowering of mobility and ON current when it is operated for a long period of time, as the MOSFET suffers from the same phenomena. One of causes of the phenomena is characteristic degradation due to hot carriers that accompany enlargement of a channel electric field.

[0006]

The MOSFET, on the other hand, has the LDD (lightly doped drain) structure as a well-known reliability improving technique. This structure adds a low concentration impurity region inside a source · drain region. The low concentration impurity region is called an LDD region. Some TFTs employ the LDD structure.

[0007]

Another known structure for the MOSFET is to make the LDD region somewhat overlap a gate electrode with a gate insulating film sandwiched therebetween. This structure can be obtained in several different modes. For example, structures called GOLD (Gate-drain overlapped LDD) and LATID

(Large-tilt-angle implanted drain) are known. The hot carrier withstandingness can be enhanced by these structures.

[0008]

There have been attempts to apply these structures for MOSFETs to TFTs. However, application of the GOLD structure (in this specification, a structure having an LDD region to which a gate voltage is applied is called a GOLD structure whereas a structure having merely an LDD region to which a gate voltage is not applied is called an LDD structure) to a TFT has a problem of OFF current (current flowing when the TFT is in an OFF state) being larger than in the LDD structure.

For that reason, the GOLD structure is not suitable for a circuit in which OFF current should be as small as possible, such as a pixel matrix circuit of an AM-LCD.

[0009]

[Problems to be solved by the Invention]

An object of the present invention is to provide an AM-LCD having high reliability by constructing circuits of the AM-LCD from TFTs having different structures to suit the respective functions of the circuits. The invention aims to accordingly enhance the reliability of a semiconductor device (electronic equipment) having this AM-LCD.

[0010]

[Means for solving the Problems]

According to a structure of the present invention disclosed in this specification, a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel

TFT, characterized in that:

the CMOS circuit has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer in the n-channel TFT,

the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[0011]

According to another structure of the present invention, a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT, characterized in that:

the CMOS circuit has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer in the n-channel TFT and the p-channel TFT; and

the active layer of the n-channel TFT includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[0012]

In the above structures, the first wiring line of the n-channel TFT is electrically connected with the second wiring

line preferably. Thus, a first wiring line and a second wiring line can be in the same electric potential.

[0013]

In the above structures, the first wiring line and/or the second wiring line can use a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination. And their films may be use by laminating.

[0014]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit that includes a pixel TFT and a storage capacitor formed in n-channel TFT, characterized in that:

the pixel TFT has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer,

the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[0015]

The storage capacitor is formed between the first wiring line, the first insulating layer and the active layer. It

can be said that a light-shielding layer is used as an electrode of the storage capacitor because the first wiring line functions as the light-shielding layer. Thus, it is effective for improving the aperture ratio of the pixel to use the wiring line formed below the active layer as an electrode to form the storage capacitor.

[0016]

The first wiring line may be kept at the floating electric potential, but preferably at the lowest power supply electric potential. This makes it possible to use as a light-shielding layer without influencing on an action of the pixel TFT.

[0017]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate, characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit have a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer; and

the first wiring line connected to the pixel TFT is kept at the lowest power supply electric potential, and the first wiring connected to the n-channel TFT included in the driver circuit is kept at the same level of electric potential as the second wiring line connected to the n-channel TFT included in the said driver circuit.

[0018]

In the above structures, the active layer includes a low concentration impurity region that is in contact with the channel formation region and the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[0019]

According to another structure of the present invention, manufacturing method of a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT comprising:

- a process of forming a first wiring line on a substrate,
- a process of forming a first insulating layer on the first wiring line,

- a process of forming active layers, an active layer of the n-channel TFT and an active layer of the p-channel TFT, on the first insulating layer,

- a process of forming a second insulating layer by overlapping the active layer of n-channel TFT and the active layer of p-channel layer,

- a process of forming a second wiring line on the second insulating layer, and

- a process of forming a LDD region on the active layer of the n-channel TFT; and

characterized in that the first wiring line is formed to cross only with the active layer of n-channel TFT.

[0020]

[Embodiment Mode of the Invention]

#### Embodiment Mode 1

An embodiment mode of the present invention will be described taking as an example a CMOS circuit (inverter circuit) in which an n-channel TFT (hereinafter referred to as NTFT) is combined with a p-channel TFT (hereinafter referred to as PTFT).

[0021]

A sectional structure thereof is shown in Fig. 1A and a top view thereof is shown in Fig. 1B. The description will be given using symbols common to Fig. 1A and Fig. 1B. The sectional views taken along the lines A-A', B-B', and C-C' in Fig. 1B correspond to the sectional views A-A', B-B', and C-C' in Fig. 1A, respectively.

[0022]

In Fig. 1A, 100 denotes a substrate; 101, a base film; 102a, 102b, and 102c, first wiring lines; 103, a first insulating layer; 104, an active layer of NTFT; 105, an active layer of PTFT; and 106, a second insulating layer.

[0023]

On that, second wiring lines 107a, 107b, 107c and 107d are formed by conductive films. And 108 is a first interlayer insulating layer, 109 to 111 are third wiring lines, 109 and 110 are source wiring lines (including source electrodes), and 111 is a drain wiring line (including a drain electrode).

[0024]

In the CMOS circuit structured as above, a glass substrate, a quartz substrate, a metal substrate, a stainless

steel substrate, a plastic substrate, a ceramic substrate, or a silicon substrate may be used as the substrate 100. When a silicon substrate is used, it is appropriate to oxidize its surface to form a silicon oxide film in advance.

[0025]

The base film 101 may be an insulating film mainly containing silicon, such as a silicon oxide film, a silicon nitride film, and a silicon oxynitride film. It is also effective to use a dense, hard insulating film such as a tantalum oxide film.

[0026]

Although the first wiring line is a wiring line of the same pattern as shown in Fig. 1B, it is sectioned into 102a, 102b, and 102c for the sake of explanation. Here, the first wiring line 102a represents an intersection with the active layer, the first wiring line 102b represents a connection between the TFTs, and the first wiring line 102c represents a power supplying portion common to the circuits.

[0027]

The first wiring line 102a here functions as a subordinate gate electrode of the NTFT. That is, the electric charge of the channel formation region 112 is controlled by the first wiring line 102a and by the second wiring line (main gate electrode) 107a that is given with the same level of electric potential as the first wiring line 102a (or a predetermined electric potential), so that only the first wiring line 102a can apply a gate voltage (or a predetermined voltage) to the



LDD regions 113.

[0028]

Accordingly, the GOLD structure cannot be obtained with the second wiring line 107a alone functioning as the gate electrode (the LDD structure is obtained instead), not until the first wiring line 102a joins with the second wiring line 113a. Advantages of this structure will be described later.

The first wiring line 102a also functions as a light-shielding layer.

[0029]

Any material can be used for the first wiring line as long as it has conductivity. However, a desirable material would be one having heat resistance against the temperature in a later process. For example, a conductive film mainly containing (50% or more composition ratio) an element selected from the group consisting of tantalum (Ta), chromium (Cr), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[0030]

Specifically, a tantalum film, a chromium film, or a laminate of a tungsten silicide film and a silicon film is preferred. When a laminate of a tungsten silicide film and a silicon film is used, it is preferable to place the laminate such that the silicon film is closer to the active layer.

[0031]

Given as a feature of this embodiment mode is providing

the first wiring line 102a in the NTFT only and not in the PTFT. Although the PTFT in Fig. 1A does not have an offset region and an LDD region either, one of the regions or both of the regions may be formed in the PTFT.

[0032]

Structured as above, the first wiring line is led from the power supplying portion through the connection to the NTFT to function as a subordinate gate electrode of the NTFT as shown in Fig. 1B.

[0033]

The second wiring line is also a wiring line of the same pattern but, for the sake of explanation, is sectioned almost the same way the first wiring line is sectioned. In Fig. 1A, 107a represents an intersection with the active layer of the NTFT 104, 107b represents an intersection with the active layer of the PTFT 105, 107c represents a connection between the TFTs, and 107d represents a power supplying portion.

[0034]

Any film can be used for the second wiring lines as long as it is a conductive film. A tantalum (Ta) film, a chromium (Cr) film, a titanium (Ti) film, a tungsten (W) film, a molybdenum (Mo) film, and a silicon (Si) film may be used in any combination to form the second wiring lines. An alloy film or silicide film of those may also be used. Alternatively, same kind of conductive films or different kinds of conductive films may be layered to form the second wiring lines.

[0035]

As described above, the CMOS circuit of this embodiment mode has the first wiring line (subordinate gate wiring line) in the NTFT and the same level of voltage as the second wiring line (main gate wiring line) or a predetermined voltage is applied to the first wiring line, thereby giving the NTFT the GOLD structure.

[0036]

#### Embodiment Mode 2

An embodiment mode of the present invention will be described taking as an example a pixel matrix circuit that uses an NTFT for a pixel TFT. This pixel matrix circuit is formed on the same substrate as the CMOS circuit described in Embodiment Mode 1 at the same time. Therefore, see the description in Embodiment Mode 1 for details of the wiring lines of the identical names.

[0037]

A sectional structure thereof is shown in Fig. 2A and a top view thereof is shown in Fig. 2B. The description will be given using symbols common to Fig. 2A and Fig. 2B. The sectional views taken along the lines A-A', B-B', and C-C' in Fig. 2B correspond to the sectional views A-A', B-B', and C-C' in Fig. 2A, respectively.

[0038]

In Fig. 2A, 100 denotes a substrate; 201, a base film; 202a, 202b, and 202c, first wiring lines; 203, a first insulating layer; 204, an active layer of NTFT; 205, an active layer of PTFT; and 206, a second insulating layer. Note that, though

the description here takes as an example the pixel TFT having a double gate structure, the pixel TFT may have a single gate structure or a mulch gate structure connected three or more TFTs in series.

[0039]

Here, a storage capacitor is formed between the capacitor wiring line 203 and an active layer 205 (namely, a portion extended from the drain region) with the first insulating layer 204 as dielectric. In this case, the first insulating layer 204 is put on a silicon nitride film as a laminated structure with a silicon oxide film and an active layer is formed after removing a silicon oxide film to be the part of the storage capacitor selectively, and then it is realized that the storage capacitor has only a silicon nitride film with high dielectric constant as a dielectric.

[0040]

Second wiring lines 207a, 207b and 207c are provided on the second insulating layer 206. A second wiring line 207a is a so-called gate wiring line and 207b and 207c are substantially gate electrodes.

[0041]

Denoted by 208 is a first interlayer insulating layer, 209 and 210, third wiring lines, 209, a source wiring line (including a source electrode), and 215, a drain wiring line (including a drain electrode). Formed thereon are a second interlayer insulating layer 211, a black mask 212, a third interlayer insulating layer 213, and a pixel electrode 214.

[0042]

Although the first wiring line is a wiring line of the same pattern as shown in Fig. 2B, it is sectioned into 202a, 202b, and 202c for the sake of explanation. Here, the first wiring line 202a represents a wiring line portion that does not function as a gate electrode, whereas 202b and 202c are intersections with the active layer 204 and function as the gate electrodes.

[0043]

The first wiring lines shown here are formed at the same time the first wiring lines described in Embodiment Mode 1 are formed. Therefore the material and other explanations thereof are omitted.

[0044]

The first wiring lines 202b and 202c function as light-shielding films of the pixel TFT. In other words, they do not have the function of the subordinate gate wiring line as the one described in Embodiment Mode 1, and are given a fixed electric potential or set to a floating state (an electrically isolated state). That is, the first wiring lines 202b and 202c in the pixel TFT have to have such an electric potential as to make them function merely as light-shielding layers without influencing the operation of the TFT.

[0045]

The fixed electric potential is at least lower than the lowest electric potential of a video signal (specifically -8V, if the amplitude of the video signal is -8 to 8V), preferably

lower than the lowest power supply electric potential of the entire circuit to be formed or the same as the lowest power supply electric potential.

[0046]

In the case of an AM-LCD, for example, power supply lines formed in a driver circuit and other signal processing circuits are different from ones formed in a pixel matrix circuit, and these different power supply lines are given with their respective predetermined electric potentials. That is, various levels of voltages are generated with a certain lowest electric potential as the reference. The lowest power supply electric potential refers to the lowest electric potential that is the reference for all those circuits.

[0047]

By keeping the first wiring lines at the electric potential described above, holes generated by hot carrier injection can be removed from the channel formation regions and the punch through phenomenon brought by accumulated holes can be prevented.

[0048]

Electric charges in the channel formation regions 215 and 216 are thus controlled by the first wiring lines 207b and 207c to provide the LDD structure. Therefore an increase in OFF current can be contained effectively.

[0049]

The pixel matrix circuit shown in this embodiment mode thus has an NTFT as its pixel TFT, and the structure of the

NTFT is the same as the NTFT of the CMOS circuit explained in Embodiment Mode 1. However, the NTFT in the pixel matrix circuit is different from the NTFT in the CMOS circuit where the GOLD structure is obtained by using the first wiring line as a subordinate gate wiring line through application of a predetermined voltage, in that the LDD structure is obtained by giving the first wiring lines a fixed electric potential or setting them to a floating state.

[0050]

In other words, the biggest feature of the present invention is that NTFTs having the same structure are formed on the same substrate and then they are respectively given the GOLD structure or the LDD structure by being applied or not being applied a voltage to their first wiring lines (subordinate gate wiring lines). This makes the optimal circuit design possible without increasing the number of manufacture steps.

[0051]

The structures of the present invention in the above will be described in detail in the following embodiments.

[0052]

Embodiment 1

In this embodiment, a method of manufacturing the CMOS circuit described in Embodiment Mode 1 will be described. The description will be given with reference to Fig. 3.

[0053]

First, a glass substrate is prepared as a substrate

300. A silicon oxide film with a thickness of 200 nm is formed thereon by sputtering as a base film 301. On the base film, first wiring lines 302a, 302b, and 302c are formed. The material of the first wiring lines is a tantalum film formed by sputtering. An oxide film may be formed on a surface of the tantalum film.

[0054]

Other metal films, alloy films, or a laminate of those may of course be used because the first wiring lines 302a, 302b, and 302c can be formed of any film as long as it has conductivity. A film that can be formed by patterning with a small taper angle is effective in improving the levelness.

[0055]

A second insulating layer 303 is formed next from an insulating film containing silicon. The first insulating layer 303 functions as a gate insulating film in using the first wiring line 302a as a subordinate gate wiring line as well as performs as a base film to protect an active layer.

[0056]

This embodiment employs a layered structure in which a silicon nitride film with a thickness of 50 nm is formed first and a silicon oxide film with a thickness of 80 nm is formed thereon. It may of course be a silicon oxynitride film expressed as  $\text{SiO}_x\text{N}_y$  ( $x/y = 0.01$  to  $100$ ). In this case, the withstand voltage thereof can be enhanced by making the nitrogen content larger than the oxygen content.

[0057]

Next, an amorphous silicon film (not shown in the



drawing) with a thickness of 50 nm is formed and a crystalline silicon film is formed by crystallizing using a known laser crystallization technique. And the crystalline silicon film is patterned to form active layers 304 and 305. In process of crystallization in this embodiment, an amorphous silicon film is irradiated by processing the pulse-oscillating typed excimer laser light into a linear beam.

[0058]

Although this embodiment uses as a semiconductor film for the active layers a crystalline silicon film obtained by crystallizing an amorphous silicon film, other semiconductor films such as a microcrystalline silicon film may be used or a crystalline silicon film may be formed directly. Other than silicon films, a compound semiconductor film such as a silicon germanium film may be used.

[0059]

The crystalline silicon film may be doped with an element belonging to Group 13 and/or an element belonging to Group 15 before or after the active layers 305 and 306 are formed. The element or elements used for the doping here is/are for controlling threshold voltage of the TFTs.

[0060]

For example, the entire crystalline silicon film is doped first with boron as the element belonging to Group 13 to control the threshold in the plus direction, and then selectively doped with phosphorus to control the threshold in the minus direction, whereby threshold voltages of the NTFT

and the PTFT are adjusted to desired values.

[0061]

A second insulating layer 306 is formed next from a silicon oxide film, a silicon oxynitride film, or a silicon nitride film, or a laminate of those so as to cover the active layers 304 and 305. A silicon oxynitride film is formed here by plasma CVD to a thickness of 100 nm. The second insulating layer functions as a gate insulating film when a second wiring line is used as a main gate wiring line.

[0062]

A tantalum film 307 to serve later as the second wiring line is formed to have a thickness of 200 nm. Either sputtering or CVD can be used to form the tantalum film 207.

[0063]

After the state of Fig. 3A is thus obtained, resist masks 308a and 308b are formed to etch the tantalum film 307.

In this way, a second wiring line 309a is formed from the tantalum film. The second wiring line 309a corresponds to the second wiring line (main gate wiring line) 107a in Fig. 1A. A tantalum film 309b is left so as to hide regions other than the region to become the NTFT.

[0064]

Next, the film is doped with an element belonging to Group 15 (typically, phosphorus or arsenic) to form low concentration impurity regions 310 and 311. In this embodiment, phosphorus is used as the element belonging to Group 15, and ion doping that does not involve mass separation is employed.

Doping conditions include setting the acceleration voltage to 90 keV, and adjusting the dose so that phosphorus is contained in a concentration of  $1 \times 10^{16}$  to  $1 \times 10^{19}$  atoms/cm<sup>3</sup> (preferably  $5 \times 10^{17}$  to  $5 \times 10^{18}$  atoms/cm<sup>3</sup>). This concentration later sets the impurity concentration in the LDD regions, and hence is needed to be controlled precisely. (Fig. 3B)

[0065]

In this specification, the impurity doping step conducted under those conditions is called a phosphorus (n-) doping step.

[0066]

The resist masks 308a and 308b are then removed and resist masks 312a to 312d are newly formed. The tantalum film 309b is etched to form second wiring lines 313a to 313c. The second wiring lines 313a, 313b, and 313c respectively correspond to the second wiring lines 107b, 107c, and 107d of Fig. 1A.

[0067]

Next, the film is doped with an element belonging to Group 13 (typically boron or gallium) to form impurity regions 314 and 315. A channel formation region 316 of the PTFT is defined simultaneously. In this embodiment, boron is used as the element belonging to Group 13, and ion doping that does not involve mass separation is employed. Doping conditions include setting the acceleration voltage to 75 keV, and adjusting the dose so that boron is contained in a concentration of  $1 \times 10^{19}$  to  $5 \times 10^{21}$  atoms/cm<sup>3</sup> (preferably  $1 \times 10^{20}$  to  $1 \times 10^{21}$  atoms/cm<sup>3</sup>). (Fig. 3C)

[0068]

In this specification, the impurity doping step conducted under those conditions is called a boron (p++) doping step.

[0069]

The resist masks 312a to 312d are then removed and resist masks 317a to 317d are formed again. In this embodiment, the resist masks are formed by a back side exposure method.

For the resist masks 317a, 317c, and 317d, the first wiring lines serve as masks whereas the second wiring lines serve as masks for the resist mask 317b. With the first wiring lines as masks, a small amount of light reaches behind the wiring lines and hence the line width in this case is narrower than the width of the first wiring lines. The line width can be controlled by exposure conditions. That is, the width (length) of the LDD regions can be controlled by controlling the amount of light that reaches behind the wiring lines.

[0070]

The resist masks can of course be formed by using masks instead. In this case, the degree of freedom in pattern design is raised but the number of masks is increased.

[0071]

After the resist masks 317a to 317d are thus formed, a step of doping with an element belonging to Group 15 (phosphorus in this embodiment) is conducted. Here, the acceleration voltage is set to 90 keV, and the dose is adjusted so that phosphorus is contained in a concentration of  $1 \times 10^{19}$  to 5

$\times 10^{21}$  atoms/cm<sup>3</sup> (preferably  $1 \times 10^{20}$  to  $1 \times 10^{21}$  atoms/cm<sup>3</sup>).

[0072]

In this specification, the impurity doping step conducted under those conditions is called a phosphorus (n+) doping step.

[0073]

Through this step, a source region 318, a drain region 319, an LDD region 320, and a channel formation region 321 of the NTFT are defined. A drain region 322 and a source region 323 of the PTFT are also doped with phosphorus in this step.

However, the P type conductivity thereof can be maintained and is not reversed to the N type conductivity if they are doped with boron in a higher concentration in the previous step.

[0074]

After the NTFT and the PTFT are thus doped with impurity elements each imparting one of the conductivity types, the impurity elements are activated by furnace annealing, laser annealing, or lamp annealing, or by using these annealing methods in combination.

[0075]

The state of Fig. 3D is obtained in this way. Then a first interlayer insulating layer 324 is formed from a silicon oxide film, a silicon nitride film, a silicon oxynitride film, or a resin film, or from a laminate of those films. Contact holes are opened in the layer to form source wiring lines 325 and 326 and a drain wiring line 327. (Fig. 3E).

[0076]

The first interlayer insulating layer 324 in this embodiment has a two-layer structure in which a silicon nitride film with a thickness of 50 nm is formed first and a silicon oxide film with a thickness of 950 nm is formed thereon. Source wiring lines and drain wiring lines in this embodiment are formed by patterning a three-layer structure laminate obtained by successively forming, by sputtering, a titanium film with a thickness of 100 nm, an aluminum film containing titanium and having a thickness of 300 nm, and another titanium film with a thickness of 150 nm.

[0077]

A CMOS circuit structured as shown in Fig. 3E is thus completed. The CMOS circuit of this embodiment has the structure shown in Fig. 1A, and explanations thereof are omitted here because it is described in detail in Embodiment Mode 1. To obtain the structure of Fig. 1A, the manufacturing process is not necessarily limited to the process of this embodiment. For example, the NTFT may take the double gate structure while the PTFT is given the single gate structure.

[0078]

The CMOS circuit described in this embodiment serves as a basic unit circuit for constructing a driver (driving) circuit (including a shift register circuit, a buffer circuit, a level shifter circuit, a sampling circuit, etc.) and other signal processing circuits (such as a divider circuit, a D/A converter circuit, a  $\gamma$  correction circuit, and an operation

amplifier circuit) in an AM-LCD.

[0079]

In this embodiment, the first wiring line of the NTFT is used as a subordinate gate wiring line to thereby obtain a substantial GOLD structure and prevent degradation by hot carrier injection. Accordingly, a circuit having a very high reliability can be formed.

[0080]

#### Embodiment 2

In this embodiment, a method of manufacturing the pixel matrix circuit described in Embodiment Mode 2 will be described.

The description will be given with reference to Figs. 4 and 5. The pixel matrix circuit is formed on the same substrate as the CMOS circuit shown in Embodiment 1 at the same time.

Therefore, the description will be given in relation to the manufacturing process of Embodiment 1 and the symbols identical with those in Fig. 3 are used when necessary.

[0081]

First, the base film 301 is formed on the glass substrate 300 from a tantalum oxide film. On the base film, first wiring lines 401a, 401b, and 401c and a capacitor wiring line 402 are formed. The first wiring line 401a corresponds to the first wiring line 202a in Fig. 2A, the first wiring line 401b corresponds to the first wiring line 202b in Fig. 2A, and the first wiring line 401c corresponds to the first wiring line 202c in Fig. 2A.

[0082]

The capacitor wiring line 402 corresponds to the capacitor wiring line 203 in Fig. 2A. The materials of the second wiring lines and the capacitor wiring line are as described in Embodiment 1.

[0083]

Next, a first insulating layer 303, an active layer of a pixel TFT 403, a second insulating layer 306 and a tantalum film are formed consulting Embodiment 1. Thus obtained is the state of Fig. 4A. The CMOS circuit being formed simultaneously is now in the state of Fig. 3A.

[0084]

Next, resist masks 404a to 404c are formed to etch the tantalum film 307. Second wiring lines 405a and 405c are thus formed. The second wiring line 405a corresponds to the second wiring line 207a in Fig. 2A, the second wiring line 405b corresponds to the second wiring line 207b in Fig. 2A, and the second wiring line 405c corresponds to the second wiring line 207c in Fig. 2A.

[0085]

The phosphorus (n-) doping step for forming LDD regions later is conducted next to form low concentration impurity regions 406 to 408. This step corresponds to the step of Fig. 3B. Accordingly, the material and the thickness of the second wiring lines and phosphorus doping conditions in the step of Fig. 4B are the same as Embodiment 1.

[0086]

A step corresponding to the step of Fig. 3C is conducted



next. In this step, the entire surface of the pixel matrix circuit is covered with a resist mask 409 so as to avoid boron doping at all. (Fig. 4C)

[0087]

The resist mask 409 is then removed. After that, resist masks 410a to 410d are formed by the back side exposure method.

Then the phosphorus (n+) doping step is conducted to form a source region 411, a drain region 412, LDD regions 413 and 414, and channel formation regions 415 and 416. The back side exposure conditions and the phosphorus doping conditions are set in accordance with the step of Fig. 3D in Embodiment 1.

[0088]

The source region and the drain region in Fig. 4D are named so for the sake of explanation. However, a source region and a drain region in a pixel TFT are reversed when the pixel switches between charging and discharging and hence there is no definite discrimination between the two regions.

[0089]

A region denoted by 417 is hidden by the resist mask 410d and, as a result, the region is doped with phosphorus in the same concentration as the LDD regions 413 and 414. This region can function as an electrode by applying a voltage to the first wiring lines 402. The first wiring lines 402, the first insulating layer 303, and the low concentration impurity region 417 form the storage capacitor.

[0090]

After the doping steps of phosphorus and boron are

finished, the impurity elements are activated as in Embodiment 1. Then the first interlayer insulating film 324 is formed and contact holes are opened therein to form a source wiring line 418 and a drain wiring line 419. The state of Fig. 4E is thus obtained. The CMOS circuit at this point is in the state of Fig. 3E.

[0091]

Next, a second interlayer insulating layer 420 is formed to cover the source wiring line 418 and the drain wiring line 419. In this embodiment, as a passivation film, a silicon nitride film with a thickness of 30 nm is formed and an acrylic film with a thickness of 700 nm is formed thereon. Of course, an insulating film mainly containing silicon such as a silicon oxide film, or other resin films may be used. Other resin films that are usable are a polyimide film, a polyamide film, a BCB (benzocyclobutene) film, and the like.

[0092]

Next, a black mask 421 is formed from a titanium film having a thickness of 100 nm. Other films may be used to form the black mask 421 if they have light-shielding property. Typically, a chromium film, an aluminum film, a tantalum film, a tungsten film, a molybdenum film, a titanium film, or a laminate of these films is used.

[0093]

A third interlayer insulating layer 422 is then formed. Though an acrylic film with a thickness of 1  $\mu\text{m}$  is used in this embodiment, the same material as the second interlayer

insulating layer may be used instead.

[0094]

A contact hole is next formed in the third interlayer insulating layer 422 to form a pixel electrode 423 from a transparent conductive film (typically an ITO film). The pixel electrode 423 is electrically connected to the drain wiring line 419. The contact hole accordingly has to be very deep, and hence it is effective in preventing failure such as break of the pixel electrode to form the contact hole such that its inner wall is tapered or curved.

[0095]

A pixel matrix circuit structured as shown in Fig. 5A is thus completed. Although the example shown in this embodiment is of manufacturing a transmissive AM-LCD using a transparent conductive film for a pixel electrode, a reflective AM-LCD can readily be manufactured if a metal film having high reflectance (such as a metal film mainly containing aluminum) is used for the pixel electrode.

[0096]

The substrate that has reached the state of Fig. 5A is called an active matrix substrate. This embodiment also describes a case of actually manufacturing an AM-LCD.

[0097]

After the state of Fig. 5A is obtained, an oriented film 424 with a thickness of 80 nm is formed. An opposite substrate is fabricated next. The opposite substrate prepared is composed of a glass substrate 425 on which a color filter

426, a transparent electrode (opposite electrode) 427, and an oriented film 428 are formed. The oriented films 424 and 428 are subjected to rubbing treatment, and the active matrix substrate is bonded to the opposite substrate using a seal (sealing member). Then a liquid crystal 429 is held between the substrates.

[0098]

A spacer for maintaining the cell gap may be provided if necessary. When the cell gap can be maintained without a spacer as in an AM-LCD having a diagonal size of 1 inch or less, there is no particular need to place a spacer.

[0099]

An AM-LCD structured as shown in Fig. 5B (the part corresponding to a pixel matrix circuit) is thus completed.

The second interlayer insulating layer 420 and the third interlayer insulating layer 422 of this embodiment also cover the CMOS circuit shown in Embodiment 1 in actuality. Wiring lines may be formed at the same time the black mask 421 and the pixel electrode 423 are formed from the same materials that constitute the black masks and the pixel electrode, so that the wiring lines are used as lead out wiring lines (fourth wiring lines or fifth wiring lines) of a driver circuit and a signal processing circuit of the AM-LCD.

[0100]

In this embodiment, the first wiring lines 401b and 401c provided in the pixel TFT are set to the lowest power supply electric potential. This makes it possible to draw

holes generated in the drain end due to hot carrier injection to the first wiring lines, thereby improving the reliability.

The first wiring lines 401b and 401c may of course be set to a floating state, but the hole drawing effect cannot be expected in this case.

[0101]

### Embodiment 3

In this embodiment, an AM-LCD is provided with a pixel matrix circuit and a CMOS circuit (a driver circuit and a signal processing circuit constructed of CMOS circuits, to be exact) according to the present invention, and the appearance thereof is shown in Fig. 6.

[0102]

On an active matrix substrate 601, a pixel matrix circuit 602, a signal line driving circuit (source driver circuit) 603, scanning line driving circuits (gate driver circuits) 604, and a signal processing circuit (including a signal divider circuit, a D/A converter circuit, and a  $\gamma$  correction circuit) 605 are formed. An FPC (flexible printed circuit) 606 is attached to the active matrix substrate. Denoted by 607 is an opposite substrate.

[0103]

The various circuits formed on the active matrix substrate 601 are illustrated in detail in a block diagram of Fig. 7.

[0104]

In Fig. 7, 701 denotes a pixel matrix circuit that

functions as an image display unit. 702a, 702b, and 702c represent a shift register circuit, a level shifter circuit, and a buffer circuit, respectively. The three together constitute a gate driver circuit.

[0105]

The block diagram of the AM-LCD in Fig. 7 has a pixel matrix circuit sandwiched between gate driver circuits, which share the same gate wiring lines. This means that application of voltage to the gate wiring lines is still possible even after one of the gate drivers fails, thereby giving the AM-LCD redundancy.

[0106]

703a, 703b, 703c, and 703d represent a shift register circuit, a level shifter circuit, a buffer circuit, and a sampling circuit, respectively. The four together constitute a source driver circuit. A precharge circuit 14 is placed across the pixel matrix circuit from the source driver circuit.

[0107]

The reliability of an AM-LCD having circuits as those shown in Fig. 6 can be greatly improved by employing the present invention. In this case, CMOS circuits constituting a driver circuit and a signal processing circuit are made in accordance with Embodiment 1 and a pixel matrix circuit is made in accordance with Embodiment 2.

[0108]

Embodiment 4

This embodiment gives a description on a case where

a CMOS circuit is structured differently from Embodiment 1 and a pixel matrix circuit is structured differently from Embodiment 2. To be specific, circuits are given different structures in accordance with the respective specifications the circuits demand.

[0109]

The basic structure of the CMOS circuit is identical with the structure shown in Fig. 1A and the basic structure of the pixel matrix circuit is identical with the structure shown in Fig. 2A. Therefore only the part that needs explanation is denoted by a symbol and explained in this embodiment.

[0110]

The structure shown in Fig. 8A lacks an LDD region on the source side of the NTFT and has an LDD region 801 only on the drain side. The CMOS circuit, which is used in a driver circuit and a signal processing circuit, is required to operate at high speed and hence resist components that can cause reduction in operation speed have to be removed as much as possible.

[0111]

In the case of the CMOS circuit according to the present invention, a gate voltage is applied to a first wiring line functioning as a subordinate gate wiring line to obtain the GOLD structure and prevent degradation due to hot carrier injection. However, it is sufficient if an LDD region that overlaps a gate electrode is formed at an end of a channel formation region on the drain region side where hot carriers are injected.

[0112]

Accordingly, an LDD region at an end of the channel formation region on the source region side is not indispensable.

On the contrary, the LDD region on the source region side might work as a resist component. The structure shown in Fig. 8A is therefore effective in improving the operation speed.

[0113]

The structure of Fig. 8A cannot be applied to a circuit that behaves like a pixel TFT in which a source region and a drain region are switched. Since a source region and a drain region of a CMOS circuit are normally fixed, the CMOS circuit can adopt the structure of Fig. 8A.

[0114]

Fig. 8B is basically identical with Fig. 8A but the width of an LDD region 802 in Fig. 8B is narrower than in Fig. 8A. Specifically, the width is set to 0.05 to 0.5  $\mu\text{m}$  (preferably 0.1 to 0.3  $\mu\text{m}$ ). The structure in Fig. 8B is capable of not only reducing the resist component on the source region side but also reducing the resist component on the drain region side as much as possible.

[0115]

This structure is actually suitable for a circuit that is driven at as low voltage as 3 to 5 V and is required to operate at high speed, such as a shift register circuit. Because of the low operation voltage, the narrow LDD region (LDD region that overlaps a gate electrode, strictly speaking) does not raise the problem related to hot carrier injection.



[0116]

Of course, LDD regions in the NTFT may be completely omitted in some cases if the omission is limited to the shift register circuit. In this case, the NTFT of the shift register circuit has no LDD region while other circuits in the same driver circuit employ the structure shown in Fig. 1A or the structure shown in Fig. 8B.

[0117]

Next, Fig. 8C shows an example of a CMOS circuit with its NTFT having the double gate structure and PTFT having the single gate structure. In this case, LDD regions 805 and 806 are provided only at ends of channel formation regions 803 and 804 which are closer to drain regions.

[0118]

The width of an LDD region is determined by the amount of light that reaches around in the back side exposure step as shown in Fig. 3D. However, if resist masks are formed by mask alignment, the masks can be designed freely. Forming an LDD region only on one side is easy also in the structure shown in Fig. 8C if a mask is used.

[0119]

However, forming an LDD region only on one side by the back side exposure method is possible when gate wiring lines (second wiring lines) 807a and 807b are formed so as not to coincide with first wiring lines 808 and 809 as in this embodiment.

[0120]

This structure can eliminate the resist component by an LDD region on the source side and the double gate structure has an effect of diffusing and easing the electric field applied between the source and the drain.

[0121]

The structure in Fig. 8D is a mode of a pixel matrix circuit. In the structure of Fig. 8D, LDD regions 809 and 810 are provided on either the side closer to the source region or the side closer to the drain region. In other words, no LDD region is provided between two channel formation regions 811 and 812.

[0122]

In the case of a pixel TFT, a source region and a drain region are frequently switched because charging and discharging are repeated. Accordingly, when the pixel TFT has a structure of Fig. 8D, the LDD region can always be in the channel formation region on the drain region side whichever region serves as the drain region. On the other hand, it is effective in increasing ON current (current flowing when the TFT is in an ON state) to omit an LDD region that can be a resist component between the channel formation regions 811 and 812 because there is no electric field concentration between the channel formation regions.

[0123]

An LDD region is not provided at an end of the channel formation region on the source region side in the structures of Figs. 8A to 8D. However, the LDD region may be provided

there if it has a narrow width. This structure may be obtained by forming resist masks through mask alignment or by the back side exposure method after the position of the first wiring lines and the second wiring lines is adjusted.

[0124]

Needless to say, the structure of this embodiment can be combined with Embodiments 1 and 2 and applied to the AM-LCD shown in Embodiment 3.

[0125]

Embodiment 5

This embodiment shows with reference to Fig. 9 a case of forming a storage capacitor with a different structure from a pixel matrix circuit shown in Embodiment 2. Since the fundamental structure is in the same way as Fig. 2A, only necessary parts are denoted by the symbols in this embodiment.

[0126]

The structure shown in Fig. 9A uses an active layer (strictly speaking, the portion extended from a drain region 904), a second insulating layer 902 and a capacitor wiring line 903, which a storage capacitor is formed in the same layer as the second wiring line. In this case, a region 904 which functions as an electrode of a storage capacitor is not doped impurity elements to give conductivity because a capacitor wiring line 903 performs a mask, and the state must be kept, which an inverse layer is formed in the active layer by adding a voltage to the capacitor wiring line 903 at all times.

[0127]

The structure of Fig. 9B is an example of combining the structure of the storage capacitor shown in Fig. 2A with the structure of the storage capacitor shown in Fig. 9A. Concretely, a first storage capacitor is formed by a first capacitor wiring line 905, which is in the same layer as the first wiring line, a first insulating layer 906 and an active layer 907, and a second storage capacitor is formed by an active layer 907 (exactly, a region shown as 908), a second insulating layer 909 and a second capacitor wiring line 910, which is in the same layer as the first wiring line.

[0128]

This structure can ensure a nearly double capacitor of the structure of the storage capacitor shown in Fig. 2A and Fig. 9A without increasing the number of process. Specially, the minuter AM-LCD requires the smaller size of the storage capacitor in order to improve the aperture ratio. In such a case, the structure of Fig. 9B is effective.

[0129]

It is effective to use the structure of this embodiment in AM-LCD shown in Embodiment 3.

[0130]

#### Embodiment 6

This embodiment shows with reference to Fig. 10 a case in which a part of the second wiring lines in the CMOS circuit shown in Fig. 1A and in the pixel matrix circuit shown in Fig. 2A is changed in structure. In Fig. 10A, parts structured in the same way as Fig. 1A or Fig. 2A are denoted by the same

symbols.

[0131]

A CMOS circuit in Fig. 10A uses a laminate 1001 consisting of a first conductive layer 1001a and a second conductive layer 1001b for only a part of a second wiring line that corresponds to a power supplying portion. In this specification, a wiring line structure denoted by 1001 is called a cladding structure.

[0132]

In the cladding structure, the material of the first conductive layer 1001a may be a conductive film mainly containing an element selected from the group consisting of tantalum, titanium, chromium, tungsten, molybdenum, and silicon, or an alloy film or silicide film containing the above elements in combination. The material of the second conductive layer 1001b is desirably a metal film mainly containing (50% or more composition ratio) copper or aluminum.

[0133]

With this structure, the power supplying portion (the portion denoted by 107d in Fig. 1B) of the second wiring line has the first conductive layer 1001a clad by the second conductive layer 1001b. Undesirably, this structure might allow aluminum or copper that is an element constituting the first conductive layer 1001a to diffuse into a second insulating layer (an insulating layer that is the base of the second wiring line).

Therefore a silicon nitride film is formed on the surface of the second insulating layer to prevent diffusion of aluminum or copper effectively.

[0134]

The structure of this embodiment may also be applied to a pixel matrix circuit. The pixel matrix circuit in Fig. 10B uses a single layer of tantalum film for a second wiring line (a gate wiring line) and a capacitor wiring line and employs the above-mentioned cladding structure for a part of the gate wiring line that is required to reduce wiring line resistance (a part equal to 207a in Fig. 2B).

[0135]

Needless to say, the circuits shown in Fig. 10A and Fig. 10B are both formed on the same substrate at the same time.

[0136]

It can also be applied to the AM-LCD of Embodiment 3 and can be combined with the structure shown in Embodiment 4 and 5.

[0137]

Embodiment 7

This embodiment shows with reference to Fig. 11 a case in which the LDD regions of the NTFTs in the CMOS circuit of Fig. 1A and in the pixel matrix circuit of Fig. 2A are arranged differently. In Fig. 11A, parts structured in the same way as Fig. 1A or Fig. 2A are denoted by the same symbols.

[0138]

In the CMOS circuit shown in Fig. 11A, the NTFT has a portion where a gate electrode 1101 overlaps a LDD region 1102 and a portion where the gate electrode does not overlap

the LDD regions. In this structure, the length of the portion where the gate electrode 1101 overlaps the LDD region 1102 is set to 0.1 to 3.5  $\mu\text{m}$  (typically 0.1 to 0.5  $\mu\text{m}$ , preferably 0.1 to 0.3  $\mu\text{m}$ ) whereas the length of the portion where the gate electrode 1101 does not overlap the LDD region 1102 is set to 0.5 to 3.5  $\mu\text{m}$  (typically 1.5 to 2.5  $\mu\text{m}$ ).

[0139]

In this structure, the portion where the gate electrode 1101 overlaps the LDD region 1102 exhibits substantially the same effect as the GOLD structure whereas the portion where the gate electrode does not overlap the LDD regions exhibits substantially the same effect as the LDD structure. How much the gate electrode overlaps may be determined by mask alignment or by controlling the amount of light that reaches around.

[0140]

A feature of this structure is that the LDD regions overlapping the gate electrode prevent degradation of ON current and an LDD region which is provided outside thereof and to which a gate voltage is not applied prevents an increase in OFF current. Accordingly, the structure of Fig. 11A is effective when reduction in OFF current is also required in a CMOS circuit.

[0141]

Similarly, in the pixel matrix circuit shown in Fig. 11B, the pixel TFT has portions where gate electrodes 1103 and 1104 overlap LDD regions 1105 and 1106 and portions where the gate electrodes 1103 and 1104 do not overlap the LDD regions

1105 and 1106. In this case, the first wiring lines 202b and 202c do not function as subordinate gate wiring lines and hence electric charges in channel formation regions are controlled by the gate electrodes 1103 and 1104 alone.

[0142]

With the structure of the pixel TFT described in Embodiment Mode 2, the pixel TFT operates as a complete LDD structure. However, the structure of Fig. 11B can provide a pixel TFT that is strong against hot carrier injection (a pixel TFT in which ON current is not degraded or is degraded less).

[0143]

The structure of this embodiment can also be applied to the AM-LCD of Embodiment 3 and can be combined freely with the structures shown in Embodiments 4 to 6.

[0144]

#### Embodiment 8

This embodiment gives a description with reference to Fig. 12 on a structure for reducing OFF current of an NTFT in a CMOS circuit to be used in a driver circuit.

[0145]

In Fig. 12, LDD regions 1201 and 1202 of the NTFT can be divided into portions that substantially overlap a first wiring line 102a and portions that do not overlap the first wiring line 102a. The NTFT in Fig. 12 therefore has an LDD region that does not overlap a gate electrode outside an LDD region that overlaps the gate electrode when a gate voltage



is applied to the first wiring line 102a.

[0146]

As described in Embodiment 7, this structure has the effect of preventing degradation of ON current which is an advantage of the GOLD structure and, in addition, can provide an electric characteristic of limited increase in OFF current which cannot be attained by the GOLD structure. Therefore a CMOS circuit with very excellent reliability can be obtained.

[0147]

The description here takes as an example a CMOS circuit but the structure of this embodiment may be applied to a pixel matrix circuit.

[0148]

In order to obtain the structure of this embodiment, the back side exposure method is not used in the step shown in Fig. 3D in Embodiment 1. The structure of this embodiment is readily obtained when a resist mask wider than the first wiring line is formed by a normal mask alignment and then the phosphorus (n+) doping step is conducted.

[0149]

The length of the LDD regions (the length of the portions that overlap and do not overlap the gate electrode) is set consulting the range mentioned in Embodiment 7.

[0150]

The structure of this embodiment can also be applied to the AM-LCD of Embodiment 3 and can be combined freely with the structures shown in Embodiments 4 through 7.

[0151]

Embodiment 9

This embodiment describes a case in which other methods than thermal crystallization is used to form the active layer shown in Embodiment 1 or 2

[0152]

Specifically, a case is described in which the crystalline semiconductor film to use as an active layer is formed by the thermal crystallization method using the catalytic element. In the case used the catalytic element, it is desirable to use the technique disclosed in Japanese Patent Application Laid-open No. Hei 7-130652 (corresponding to US. Patent Application No. 08/329,644 or US. Patent Application No. 08/430,623) and Japanese Patent Application Laid-open No. Hei 8-78329. Specially, it is preferable to use nickel as the catalytic element.

[0153]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 8.

[0154]

Embodiment 10

This embodiment describes a case, as a method of forming an active layer, in which the thermal crystallization method shown in Embodiment 9 is used and the catalytic element used in crystallization is removed from the crystalline semiconductor film. To remove the catalytic element, this embodiment employs a technique disclosed in Japanese Patent Application Laid-open

No. Hei 10-135468 (corresponding to US. Patent Application No. 08/951,193) or Japanese Patent Application Laid-open No. Hei 10-135469 (corresponding to US. Patent Application No. 08/951,819).

[0155]

The technique described in the publication is to remove a catalytic element used in crystallization of an amorphous semiconductor film by utilizing gettering effect of halogen after crystallization. With this technique, the concentration of the catalytic element in the crystalline semiconductor film can be reduced to  $1 \times 10^{17}$  atoms/cm<sup>3</sup> or less, preferably to  $1 \times 10^{16}$  atoms/cm<sup>3</sup>.

[0156]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 9.

[0157]

Embodiment 11

This embodiment describes a case, as a method of forming an active layer, in which the thermal crystallization method shown in Embodiment 9 is used and the catalytic element used in crystallization is removed from the crystalline semiconductor film. To remove the catalytic element, this embodiment employs a technique disclosed in Japanese Patent Application Laid-open No. Hei 10-270363 (corresponding to US. Patent Application No. 09/050,182).

[0158]

The technique described in the publication is to remove

a catalytic element used in crystallization by utilizing the gettering effect of phosphorus after crystallization. With this technique, the concentration of the catalytic element in the crystalline semiconductor film can be reduced to  $1 \times 10^{17}$  atoms/cm<sup>3</sup> or less, preferably to  $1 \times 10^{16}$  atoms/cm<sup>3</sup>.

[0159]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 10.

[0160]

Embodiment 12

This embodiment describes another mode of the gettering step by phosphorus which is shown in Embodiment 11. The basis of the step matches Fig. 1 and hence differences are picked out and explained.

[0161]

First, the state of Fig. 3D is obtained by following the process of Embodiment 1. Fig. 13A shows a state in which the resist masks 317a to 317d are removed from the state of Fig. 3D. A semiconductor layer to be an active layer of TFT is formed by using a technique of the thermal crystallization shown in Embodiment 9.

[0162]

At this point, the source region 318 of the NTFT and the drain region 319 thereof, and the drain region 322 of the PTFT and the source region 323 thereof contain phosphorus in a concentration of  $1 \times 10^{19}$  to  $1 \times 10^{21}$  atoms/cm<sup>3</sup> (preferably  $5 \times 10^{20}$  atoms/cm<sup>3</sup>).

[0163]

In this state, a heat treatment step is conducted in a nitrogen atmosphere at 500 to 800°C for 1 to 24 hours, for example, at 600°C for 12 hours, in this embodiment. Through the step, the impurity elements belonged to Group 13 or 15 and used in doping are activated. Also, the catalytic element (nickel in this embodiment) remained after the crystallization step moves in the direction of the arrow and is getterred (trapped) in the source regions and drain regions mentioned above owing to the action of phosphorus contained in the regions. As a result, the nickel concentration in the channel formation region can be reduced to  $1 \times 10^{17}$  atoms/cm<sup>3</sup> or less. (Fig. 13B)

[0164]

Once the step of Fig. 13B is completed, subsequent steps are conducted in accordance with the steps of Embodiment 1 to complete the CMOS circuit shown in Fig. 3E. Needless to say, similar steps are taken in the pixel matrix circuit.

[0165]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 11.

[0166]

#### Embodiment 13

This embodiment gives a description with reference to Fig. 14 in a case of manufacturing a CMOS circuit in a step order different from the one in Embodiment 1. Other Group 15 elements than phosphorus may be used instead. Other Group 13 elements than boron may be used instead.

[0167]

First, steps up through the step of Fig. 3B are finished in accordance with the process in Embodiment 1. Fig. 14A shows a state identical with Fig. 3B and the same symbols are used.

This is a phosphorus (n-) doping step through which the low concentration impurity regions 310 and 311 are formed.

[0168]

After the resist masks 308a and 308b are removed, the back side exposure method is used to form resist masks 11a and 11b. The phosphorus (n+) doping step is then conducted under the same doping conditions as Embodiment 1 to form a source region 12, a drain region 13, a LDD region 14 and a channel formation region 15 of the NTFT. (Fig. 14B)

[0169]

The resist masks 11a and 11b are removed next. Thereafter resist masks 16a to 16d are formed and the tantalum film 309b is etched to form second wiring lines 17a to 17c.

In this state, the boron (p++) doping step is conducted under the doping conditions of Embodiment 1 to form a drain region 18, a source region 19, and a channel formation region 20 of the PTFT. (Fig. 14C)

[0170]

In this embodiment, an active layer of the PTFT is not doped with phosphorus before it is doped with boron, whereby the dose of boron can be limited to a minimum. The throughput in the manufacturing process is therefore improved.

[0171]

After the step of Fig. 14C is thus completed, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1. The structure to be obtained is the one shown in Fig. 3E but is different from Embodiment 1 in that the source region and the drain region of the PTFT do not contain phosphorus.

[0172]

The manufacturing process of this embodiment only changes the order of the doping process of the elements belonging to Group 13 or Group 15 in Embodiment 1. Therefore, as for the other conditions, please refer to that in Embodiment 1.

[0173]

The manufacturing process of this embodiment is described taking as an example a CMOS circuit but, needless to say, a pixel matrix circuit is formed at the same time.

[0174]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 11.

[0175]

#### Embodiment 14

This embodiment gives a description with reference to Fig. 15 in a case of manufacturing a CMOS circuit in a step order different from the one in Embodiment 1. Other Group 15 elements than phosphorus may be used instead. Other Group 13 elements than boron may be used instead.

[0176]

First, steps up through the step of Fig. 3A are finished in accordance with the process in Embodiment 1. Thereafter

resist masks 21a to 21d are formed and the tantalum film 307 is etched to form a tantalum film 22a and second wiring lines 22b to 22d. In this state, the boron (p++) doping step is conducted under the doping conditions of Embodiment 1 to form a drain region 23, a source region 24, and a channel formation region 25 of the PTFT. (Fig. 15A)

[0177]

The resist masks 21a to 21d are removed next. Thereafter resist masks 26a and 26b are formed and the tantalum film 22a is etched to form a second wiring line 27. In this state, the phosphorus (n-) doping step is conducted under the doping conditions of Embodiment 1 to form low concentration impurity regions 28 and 29. (Fig. 15B)

[0178]

After the resist masks 26a and 26b are removed, the back side exposure method is used to form resist masks 30a to 30d. The phosphorus (n+) doping step is then conducted under the same doping conditions as Embodiment 1 to form a source region 31, a drain region 32, a LDD region 33 and a channel formation region 34 of the NTFT. (Fig. 15C)

[0179]

In this embodiment, phosphorus is also doped into active layers of PTFT by step of Fig. 15C, and the drain region 35 and the source region 36 contain the same concentration of phosphorus as the source region 31 and the drain region 32 of NTFT. The circuit has a structure which is shown in Fig. 3E.



[0180]

After the step of Fig. 15C is thus completed, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1.

[0181]

The manufacturing process of this embodiment only changes the order of the doping process of the elements belonging to Group 13 or Group 15 in Embodiment 1. Therefore, as for the other conditions, please refer to that in Embodiment 1.

[0182]

The manufacturing process of this embodiment is described taking as an example a CMOS circuit but, needless to say, a pixel matrix circuit is formed at the same time.

[0183]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 12.

[0184]

Embodiment 15

This embodiment gives a description with reference to Fig. 16 in a case of manufacturing a CMOS circuit in a step order different from the one in Embodiment 1. Other Group 15 elements than phosphorus may be used instead. Other Group 13 elements than boron may be used instead.

[0185]

First, steps up through the step of Fig. 15A are finished in accordance with the process in Embodiment 14 (also referred to Embodiment 1). Fig. 16A shows a state identical with Fig.

15A and the same symbols are used. This is a boron (p++) doping step through which a drain region 23, a source region 24 and a channel formation region 25 of PTFT are formed.

[0186]

The resist masks 21a to 21d are removed next. Thereafter resist masks 38a and 38b are formed and the tantalum film 22a is etched to form a second wiring line 39. In this state, the phosphorus (n-) doping step is conducted under the doping conditions of Embodiment 1 to form low concentration impurity regions 40 and 41. (Fig. 16B)

[0187]

The resist masks 38a and 38b are removed next. Thereafter resist masks 42a and 42b are formed and the second wiring line 39 is etched to form a second wiring line 43. In this state, the phosphorus (n-) doping step is conducted under the doping conditions of Embodiment 1 to form a source region 44, a drain region 45, a LDD region 46 and a channel formation region 47 of the NTFT. (Fig. 16C)

[0188]

This embodiment is characterized in that an active layer of the PTFT is not doped with phosphorus after it is doped with boron. In the case doped with phosphorus later, it is needed to dope more boron in advance in order to prevent from inverting into n-type by phosphorus, but this embodiment need not such a trouble. SO that, the dose of boron can be limited to a minimum and the throughput in the manufacturing process is therefore improved.

[0189]

After the step of Fig. 16C is thus completed, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1. The structure to be obtained is the one shown in Fig. 3E but is different from Embodiment 1 in that the source region and the drain region of the PTFT do not contain phosphorus.

[0190]

The manufacturing process of this embodiment only changes the order of the doping process of the elements belonging to Group 13 or Group 15 in Embodiment 1. Therefore, as for the other conditions, please refer to that in Embodiment 1.

[0191]

The manufacturing process of this embodiment is described taking as an example a CMOS circuit but, needless to say, a pixel matrix circuit is formed at the same time.

[0192]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 11.

[0193]

#### Embodiment 16

This embodiment gives a description with reference to Fig. 17 in a case of manufacturing a CMOS circuit in a step order different from the one in Embodiment 1. Other Group 15 elements than phosphorus may be used instead. Other Group 13 elements than boron may be used instead.

[0194]

First, steps up through the step of Fig. 3A are finished

in accordance with the process in Embodiment 1. Thereafter resist masks 48a and 48b are formed and the tantalum film 307 is etched to form a second wiring line 49a and a tantalum film 49b. In this state, the phosphorus (n+) doping step is conducted under the doping conditions of Embodiment 1 to form high concentration impurity regions 50 and 51 in the active layer of the NTFT. (Fig. 17A)

[0195]

After the resist masks 48a and 48b are removed, resist masks 52a and 52b are formed. The phosphorus (n-) doping step is then conducted under the same doping conditions as Embodiment 1 to form a source region 54, a drain region 55, a LDD region 56 and a channel formation region 57 of the NTFT. (Fig. 17B)

[0196]

The resist masks 52a and 52b are removed next. Thereafter resist masks 58a to 58d are formed and the tantalum film 49b is etched to form second wiring lines 59a to 59c. In this state, the boron (p++) doping step is conducted under the doping conditions of Embodiment 1 to form a drain region 60, a drain region 61 and a channel formation region 62 of the PTFT. (Fig. 17C)

[0197]

In this embodiment, an active layer of the PTFT is not doped with phosphorus before it is doped with boron, whereby the dose of boron can be limited to a minimum. The throughput in the manufacturing process is therefore improved.

[0198]

After the step of Fig. 17C is thus completed, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1. The structure to be obtained is the one shown in Fig. 3E.

[0199]

The manufacturing process of this embodiment only changes the order of the doping process of the elements belonging to Group 13 or Group 15 in Embodiment 1. Therefore, as for the other conditions, please refer to that in Embodiment 1.

[0200]

The manufacturing process of this embodiment is described taking as an example a CMOS circuit but, needless to say, a pixel matrix circuit is formed at the same time.

[0201]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 11.

[0202]

Embodiment 17

This embodiment gives a description with reference to Fig. 18 in a case of manufacturing a CMOS circuit in a step order different from the one in Embodiment 1. Other Group 15 elements than phosphorus may be used instead. Other Group 13 elements than boron may be used instead.

[0203]

First, steps up through the step of Fig. 17A are finished in accordance with the process in Embodiment 16 (also referred to Embodiment 1). Fig. 18A shows a state identical with Fig.

17A and the same symbols are used. This is a phosphorus (n+) doping step through which high concentration impurity regions 50 and 51 are formed in the active layer of the NTFT.

[0204]

The resist masks 48a and 48b are removed next. Thereafter resist masks 63a to 63d are formed and the tantalum film 49b is etched to form second wiring lines 64a to 64c. In this state, the boron (p++) doping step is conducted under the doping conditions of Embodiment 1 to form a drain region 65, a source region 66 and a channel formation region 67 of the PTFT. (Fig. 18B)

[0205]

The resist masks 63a and 63b are removed next. Thereafter resist masks 68a and 68b are formed and the second wiring line 49a is etched to form a second wiring line 69. In this state, the phosphorus (n-) doping step is conducted under the doping conditions of Embodiment 1 to form a source region 70, a drain region 71, a LDD region 72 and a channel formation region 73 of the NTFT. (Fig. 18C)

[0206]

This embodiment is characterized in that an active layer of the PTFT is not doped with phosphorus. In the case doped with phosphorus later, it is needed to dope more boron in advance in order to prevent from inversing into n-type by phosphorus, but this embodiment need not such a trouble. SO that, the dose of boron can be limited to a minimum and the throughput in the manufacturing process is therefore improved.

[0207]

After the step of Fig. 18C is thus completed, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1. The structure to be obtained is the one shown in Fig. 3E but is different from Embodiment 1 in that the source region and the drain region of the PTFT do not contain phosphorus.

[0208]

The manufacturing process of this embodiment only changes the order of the doping process of the elements belonging to Group 13 or Group 15 in Embodiment 1. Therefore, as for the other conditions, please refer to that in Embodiment 1.

[0209]

The manufacturing process of this embodiment is described taking as an example a CMOS circuit but, needless to say, a pixel matrix circuit is formed at the same time.

[0210]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 11.

[0211]

#### Embodiment 18

In the case according the manufacturing step of Embodiment 15, the active layer of PTFT is not doped as shown Figs. 16A, B and C. Therefore, the step shown in Embodiment 12 (the step gettering a catalytic element used in crystallization by phosphorus doped into the source region or the drain region) is impossible to be enforced.

[0212]

In the case of forming resist masks 38a and 38b in Fig. 16B, however, it becomes possible to dope phosphorus into the active layer of PTFT unless a resist mask is formed on regions to be PTFT.

[0213]

But in that case, it is on the assumption that PTFT perfectly functions as a mask because only the second wiring line 22b is used as a mask of the doping step. That is, desirably, the thickness of the second wiring line 22b made by a tantalum film is more than 250 nm (preferably more than 350 nm). Less than it, there is the possibility that phosphorus reaches into the channel formation region of PTFT.

[0214]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 12.

[0215]

Embodiment 19

This embodiment gives a description with reference to Fig. 19 in a case of reducing the number of patterning in the manufacturing step shown in Embodiment 15.

[0216]

First, the state of Fig. 16B is obtained according to the manufacturing step of Embodiment 15. In the state, the second wiring line 39 is etched by the etching method in the regular direction. In this step, the second wiring line 39 is horizontally etched from the side to form the second wiring line 74 with the narrower width. (Fig. 19A)



[0217]

After the resist masks 38a and 38b are removed, the phosphorus (n-) doping step is conducted under the same doping conditions as Embodiment 1 to form a source region 75, a drain region 76, a LDD region 77 and a channel formation region 78 of the NTFT. At the same time, phosphorus with the same concentration as the LDD region 77 is doped into a drain region 79 and a source region 80 of PTFT. But phosphorus is not doped into the channel formation region of PTFT 81 because the second wiring line which functions as a gate electrode of PTFT performs mask. (Fig. 19B)

[0218]

After the step of Fig. 19B is thus completed, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1. The structure to be obtained is the one shown in Fig. 3E but is different from Embodiment 1 in that the source region and the drain region of the PTFT contain phosphorus with the same concentration as the LDD region of NTFT.

[0219]

In this embodiment, since the second wiring line functions as a mask in the step of Fig. 19B, the thickness is needed to decide not to dope phosphorus into the channel formation regions 78 and 81. But according to the manufacturing step of this embodiment, the throughput is improved because a sheet of masks of patterning can be reduced.

[0220]

In the manufacturing process of this embodiment, boron

can be changed with other elements belonging to Group 13 or phosphorus can be changed with other elements belonging to Group 15. As for the other conditions, please refer to that in Embodiment 1.

[0221]

The manufacturing process of this embodiment is described taking as an example a CMOS circuit but, needless to say, a pixel matrix circuit is formed at the same time.

[0222]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 11. And combining with Embodiment 18 makes it possible to combine with Embodiment 12.

[0223]

Embodiment 20

This embodiment gives a description with reference to Fig. 20 in a case of reducing the number of patterning in the manufacturing step shown in Embodiment 16.

[0224]

First, the state of Fig. 17A is obtained according to the manufacturing step of Embodiment 16. In the state, the second wiring line 49a is etched by the etching method in the regular direction. In this step, the second wiring line 49a is horizontally etched from the side to form the second wiring line 82a with the narrower width. Simultaneously, a tantalum film 49b overlapping PTFT is etched to form a tantalum film 82b. (Fig. 20A)

[0225]

After the resist masks 48a and 48b are removed, the phosphorus (n-) doping step is conducted under the same doping conditions as Embodiment 1 to form a source region 83, a drain region 84, a LDD region 85 and a channel formation region 86 of the NTFT. (Fig. 20B)

[0226]

After the step of Fig. 20B is thus completed, the step of Fig. 17C is conducted in accordance with the manufacturing step of Embodiment 16. Then, fabrication of the CMOS circuit is continued in accordance with the process of Embodiment 1. The structure to be obtained is the one shown in Fig. 3E.

[0227]

In this embodiment, since the second wiring line functions as a mask in the step of Fig. 20B, the thickness is needed to decide not to dope phosphorus into the channel formation region 85 and the active layer of PTFT. But according to the manufacturing step of this embodiment, the throughput is improved because a sheet of masks of patterning can be reduced.

[0228]

In the manufacturing process of this embodiment, boron can be changed with other elements belonging to Group 13 or phosphorus can be changed with other elements belonging to Group 15. As for the other conditions, please refer to that in Embodiment 1.

[0229]

The manufacturing process of this embodiment is

described taking as an example a CMOS circuit but, needles to say, a pixel matrix circuit is formed at the same time.

[0230]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 4 through 11. And combining with Embodiment 18 makes it possible to combine with Embodiment 12.

[0231]

Embodiment 21

This embodiment describes a case in which other materials than a tantalum film are used for first wiring lines and second wiring lines. The description will be given with reference to Fig. 21. This embodiment deals with a technique particularly effective in a manufacturing process that includes a high temperature heat treatment step at 700 to 1150°C, such as the one shown in Embodiment 10.

[0232]

The first wiring lines are formed prior to formation of an active layer and hence, if the active layer is to be thermally oxidized, the first wiring lines are also subjected to high temperature heat treatment. In this case, an element constituting the first wiring lines is coupled to oxygen to raise a problem of increased wiring line resistance. This embodiment is about a technique for solving that problem.

[0233]

A substrate used in this embodiment is a quartz substrate 45 having high heat resistance as shown in Fig. 21A. A silicon

substrate on which a thermal oxide film is formed, a ceramic substrate on which an insulating film is formed, or the like may of course be used instead.

[0234]

For the material of first wiring lines 91a to 91c, a tungsten silicide ( $WSi_x$ :  $x = 2$  to 25) film 91a1 and a silicon (Si) film 91a2 are layered to form a laminate. The layer order may be reverse, or the laminate may have a three-layer structure in which silicon films sandwich a tungsten silicide film.

[0235]

Fig. 21B shows a pixel matrix circuit, in this case the first wiring line 92a to 92c and the capacitor wiring line 93 also are a laminate of a tungsten silicide film and a silicon film.

[0236]

With these materials, the wiring line resistance is not increased in the tungsten silicide film 91a1 after the high temperature heat treatment step at 700 to 1150°C. This is because excess silicon contained in the tungsten silicide film preemptively couples with oxygen and prevents oxygen from coupling with tungsten.

[0237]

Other metal silicide films, for example, a molybdenum silicide ( $MoSi_x$ ) film, a titanium silicide ( $TiSi_x$ ) film, a cobalt silicide ( $CoSi_x$ ) film, a tantalum silicide ( $TaSi_x$ ) film, etc., may be used instead of the tungsten silicide film.

[0238]

If a simple metal film (typically, a tantalum film, a titanium film, a tungsten film, or a molybdenum film) is used for the first wiring lines, a silicon film is provided so as to contact with the top face and/or the bottom face of the simple metal film. This prevents oxidization of the simple metal film and an increase in wiring line resistance.

[0239]

If the simple metal film such as a tantalum film or a tungsten film is sandwiched between silicon films forming a three-layer structure, the first wiring lines formed can withstand a high temperature process as the one used in this embodiment.

[0240]

The structure of this embodiment can be combined freely with any of the structures of Embodiments 1 through 20.

[0241]

Embodiment 22

This embodiment shows a case in which different structures are given to TFTs arranged in driver circuits (or other signal processing circuits) in accordance with the difference in operation voltage for the optimal circuit design.

[0242]

The CMOS circuit shown in Fig. 1A is used to construct a gate driver circuit, a source driver circuit, and other signal processing circuits of an AM-LCD. The operation voltage of the CMOS circuit varies depending on which of these circuits it constitutes. For example, shift register circuits 702a

and 703a in Fig. 7 have a low operation voltage, about 5 v, and are required to operate at high speed whereas buffer circuits 702c and 703c have a high operation voltage of 16 to 20 V.

[0243]

In the case of a shift register circuit, hot carrier injection hardly matters and no serious problem is caused if it does not have the GOLD structure because of its low operation voltage. On the contrary, sometimes it is preferred not to provide a first wiring line if formation of a parasitic capacitance between a first wiring line (subordinate gate wiring line) and an active layer is to be avoided. In the case of a buffer circuit, on the other hand, its high operation voltage makes hot carrier injection countermeasures indispensable. Then the structure shown in Fig. 1A is effective.

[0244]

As described above, there are cases where one circuit in a driver circuit employs the CMOS circuit of Fig. 1A whereas another circuit in the same driver circuit uses a CMOS circuit with an NTFT that has an ordinary LDD structure in accordance with difference in operation voltage between the one circuit and the other circuit while sharing the same substrate.

[0245]

Other signal processing circuits than a driver circuit (a D/A converter circuit, a  $\gamma$  correction circuit, a signal divider circuit, or the like) are low in operation voltage and hence may use a CMOS circuit having an NTFT that has an ordinary LDD structure.

[0246]

The structure of this embodiment can be combined freely with any of Embodiments 1 through 21.

[0247]

Embodiment 23

In the CMOS circuit shown in Fig. 1, the first wiring line 102a is provided in the NTFT but not in the PTFT. However, a conductive layer on the same layer as the first wiring line may be provided under the active layer of the PTFT.

[0248]

The conductive layer to be placed under the active layer of the PTFT has such an electric potential as not to influence the operation of the PTFT (specifically, the lowest power supply electric potential or to the same effect) or is kept to a floating state. That is, the conductive layer is prevented from doing no other function than the one as a light-shielding layer.

[0249]

The pixel matrix circuit shown in Fig. 2 is an NTFT. However, the pixel matrix circuit may be a PTFT if a first wiring line functioning as a light-shielding layer is provided under its active layer.

[0250]

The structure of this embodiment can be combined freely with any of Embodiments 1 through 22.

[0251]

Embodiment 24



This embodiment describes a case in which the thickness of a first insulating layer and/or second insulating layer is varied to reflect a difference in operation voltage.

[0252]

In an AM-LCD shown in Fig. 6, a pixel matrix circuit 607 has an operation voltage of 16 V whereas the operation voltage of driver circuits 603 and 604, or a signal processing circuit 605 is 10 V or less, or even 5 V or less.

[0253]

Specifically, level shifter circuits 702b and 703b, buffer circuits 702c and 703c, and a sampling circuit 703d in Fig. 7 have an operation voltage close to that of a pixel matrix circuit 701 (16 to 20 V). On the other hand, shift register circuits 702a and 703a or a signal processing circuit (not shown in the drawing) have a low operation voltage of 5 to 10 V.

[0254]

For the shift register circuit and signal processing circuit as above, high speed operation is the most important factor and hence it is effective to make the gate insulating film as thin as possible to increase the operation speed of the TFT. On the other hand, the high speed operation ability is not required much for the buffer circuit and the pixel matrix circuit and hence forming a thick gate insulating film to improve the withstand voltage characteristic is effective.

[0255]

Thus, when the operation voltage is different and

specifications required for circuits are accordingly different, it is effective to vary the thickness of the gate insulating film to suit a required specification. Since the first insulating layer and the second insulating layer in the NTFT structure of the present invention can function as gate insulating films, the thickness thereof can be changed to suit the respective circuits.

[0256]

For example, in a circuit having a low operation voltage and required to operate at high speed, such as a shift register circuit and a signal processing circuit (signal divider circuit or the like), it is effective to make the first insulating layer thick (200 to 400 nm) while making the second insulating layer thin (10 to 30 nm). If the first insulating layer is as thin as the second insulating layer, the operation speed is improved but the parasitic capacitance is increased to impair the frequency characteristic, which is not desirable. In some cases, the first wiring line may not be provided in a shift register circuit or the like as in Embodiment 22.

[0257]

When the operation voltage is high as in a buffer circuit, a sampling circuit, a pixel matrix circuit, or the like, it is desirable to make the second insulating layer as thick as 100 to 200 nm to enhance the withstand voltage characteristics as a gate insulating film.

[0258]

In a pixel matrix circuit, the influence of the first

wiring line has to be as small as possible and hence the first insulating layer may be as thick as 200 to 400 nm. This makes it possible to for the first wiring line provided in the pixel TFT to function as a light-shielding layer.

[0259]

As described above, it is effective to vary the thickness of the gate insulating film (the first insulating layer and/or the second insulating layer) between circuits that are different from one another in operation voltage.

[0260]

The structure of this embodiment can be combined freely with any of Embodiments 1 through 23.

[0261]

Embodiment 25

The TFT structure of the present invention can be applied not only to electro-optical devices such as AM-LCDs but to semiconductor circuits of every kind. It may be applied to microprocessors such as RISC processors and ASIC processors, to signal processing circuits such as D/A converters, and to high frequency circuits for portable equipment (cellular phones including PHS, and mobile computers).

[0262]

It is possible to obtain a semiconductor device having a three-dimensional structure in which an interlayer insulating film is formed on a conventional MOSFET and the present invention is applied thereto to form a semiconductor circuit. The present invention thus is applicable to all of the semiconductor devices

that currently employ LSIs. The present invention may be applied to the SOI structure (a TFT structure using a single crystal semiconductor thin film) such as SIMOX, Smart-Cut (trade name of SOITEC), and ELTRAN (trade name of Canon, Inc.).

[0263]

The semiconductor circuits of this embodiment can be obtained by any structure resulting from combinations of Embodiments 1 through 24.

[0264]

#### Embodiment 26

A CMOS circuit and pixel matrix circuit formed by carrying out the present invention can be applied to various electro-optical devices and semiconductor circuits. That is, the present invention is applicable to all of electronic equipment that incorporates those electro-optical devices and semiconductor circuits as components.

[0265]

Given as such electronic equipment are video cameras, digital cameras, projectors, projection TVs, head mounted displays (goggle type displays), automobile navigation systems, personal computers, portable information terminals (mobile computers, cellular phones, electronic books or the like), etc. Examples of those are shown in Fig. 22.

[0266]

Fig. 22A shows a cellular phone, which is composed of a main body 2001, an audio output unit 2002, an audio input unit 2003, a display device 2004, operation switches 2005,

and an antenna 2006. The present invention is applicable to the audio output unit 2002, the audio input unit 2003, the display device 2004, and other signal controlling circuits.

[0267]

Fig. 22B shows a video camera, which is composed of a main body 2101, a display device 2102, an audio input unit 2103, operation switches 2104, a battery 2105, and an image receiving unit 2106. The present invention is applicable to the display device 2102, the audio input unit 2103, and other signal controlling circuits.

[0268]

Fig. 22C shows a mobile computer, which is composed of a main body 2201, a camera unit 2202, an image receiving unit 2203, operation switches 2204, and a display device 2205.

The present invention is applicable to the display device 2205 and other signal controlling circuits.

[0269]

Fig. 22D shows a goggle type display, which is composed of a main body 2301, display devices 2302, and arm units 2303.

The present invention is applicable to the display devices 2302 and other signal controlling circuits.

[0270]

Fig. 22E shows a rear projector, which is composed of a main body 2401, a light source 2402, a display device 2403, a polarization beam splitter 2404, reflectors 2405 and 2406, and a screen 2407. The present invention is applicable to the display device 2403 and other signal controlling circuits.

[0271]

Fig. 22F shows a front projector, which is composed of a main body 2501, a light source 2502, a display device 2503, an optical system 2504, and a screen 2505. The present invention is applicable to the display device 2502 and other signal controlling circuits.

[0272]

As described above, the application range of the present invention is so wide that it is applicable to electronic equipment of every field. The electronic equipment of this embodiment can be obtained by any structure resulting from combinations of Embodiments 1 through 25.

[0273]

[Effect of the Invention]

The present invention is characterized in that the same NTFT can form both the GOLD structure and the LDD structure and which one is to form is determined by controlling the voltage of a first wiring line provided under an active layer. In other words, the GOLD structure and the LDD structure can be formed on the same substrate without increasing the number of steps or complicating the process.

[0274]

Therefore circuits having optimal functions can be arranged in accordance with the respective specifications required for the circuits, thus greatly improving the performance and reliability of a semiconductor device such as an AM-LCD and electronic equipment that has the AM-LCD as

a display.

[BRIEF DESCRIPTION OF THE INVENTION]

[Fig. 1] shows a structure of a CMOS circuit.

[Fig. 2] shows a structure of a pixel matrix circuit.

[Fig. 3] shows a process of manufacturing a CMOS circuit.

[Fig. 4] shows a process of manufacturing a pixel matrix circuit.

[Fig. 5] shows a process of manufacturing a pixel matrix circuit.

[Fig. 6] shows the outside appearance of AM-LCD.

[Fig. 7] shows a block structure of AM-LCD.

[Fig. 8] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 9] shows a process of manufacturing a pixel matrix circuit (specially a storage capacitor).

[Fig. 10] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 11] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 12] shows a structure of a CMOS circuit.

[Fig. 13] shows a process of manufacturing a CMOS circuit.

[Fig. 14] shows a process of manufacturing a CMOS circuit.

[Fig. 15] shows a process of manufacturing a CMOS circuit.

[Fig. 16] shows a process of manufacturing a CMOS circuit.

[Fig. 17] shows a process of manufacturing a CMOS circuit.

[Fig. 18] shows a process of manufacturing a CMOS circuit.

[Fig. 19] shows a process of manufacturing a CMOS circuit.

[Fig. 20] shows a process of manufacturing a CMOS circuit.

[Fig. 21] shows a structure of a CMOS circuit or a pixel  
matrix circuit.

[Fig. 22] shows an example of an electric device.



[DESCRIPTION OF A MARK]

101      A substrate  
102a, 102b and 102c      First wiring lines  
103      A first insulating layer  
104 and 105      Active layers  
106      A second insulating layer  
107a, 107b, 107c and 107d      Second wiring lines  
(107a1, 107b1, 107c1 and 107d1      First conductive layers  
107a2, 107b2, 107c2 and 107d2      Second conductive layers  
107d3      A third conductive layer)  
108      A first interlayer insulating layer  
109~111      Third wiring lines  
(109, 110      Source wiring lines  
111      A drain wiring line)

201      A substrate  
202a, 202b and 202c      First wiring lines  
203      A first insulating layer  
204      An active layer  
205      A second insulating layer  
206a, 206b and 206c      Second wiring lines  
(206a1, 206b1 and 206c1      First conductive layers  
206a2, 206b2 and 206c2      Second conductive layers  
206a3      A second conductive layer)  
207      A capacitor wiring line  
(207a      A first conductive layer  
207b      A second conductive layer)  
208      A first interlayer insulating layer  
209      A source wiring line  
210      A drain wiring line  
211      A second interlayer insulating layer  
212      Black masks  
213      A third interlayerinsulating layer  
214      A pixel electrode  
215 and 216      Channel formation regions

601      A substrate with an insulating surface  
 602      A pixel matrix circuit  
 603      A source driver circuit  
 604      A gate drivier circuit  
 605      A signal processing circuit  
 606      An FPC  
 1007     An opposite substrate  
  
 701      A pixel matrix circuit  
 702a and 703a     Shift register circuits  
 702b and 703b     Level shifter circuits  
 702c and 703c     Buffer circuits  
 703d      A sampling circuit  
 704      A precharge circuit  
  
 2001     A main body  
 2002     An audio output unit  
 2003     An audio input unit  
 2004     A display device  
 2005     Operation switches  
 2006     An antenna  
  
 2101     A main body  
 2102     A display device  
 2103     An audio input unit  
 2104     Operation switches  
 2105     A battery  
 2106     An image receiving unit  
  
 2201     A main body  
 2202     A camera unit  
 2203     An image receiving unit  
 2204     Operation switches  
 2205     A display device  
  
 2301     A main body

2302	Display devices
2303	Arm units
2401	A main body
2402	A light source
2403	A display device
2404	A polarization beam splitter
2405	Reflector
2406	Reflector
2407	A screen
2501	A main body
2502	A light source
2503	A display device
2504	An optical system
2505	A screen

[BRIEF DESCRIPTION OF THE FIGURES]

[Fig. 2](A)	A pixel TFT portion
	A storage capacitor portion
(B)	A storage capacitor portion
[Fig. 3](A)	A phosphorus doping step
(B)	A boron doping step
(C)	A back side exposure step, A phosphorus doping step
[Fig. 9](A)	A pixel TFT portion
	A storage capacitor portion
(B)	A pixel TFT portion
	A storage capacitor portion
[Fig. 10](B)	A pixel TFT portion
	A storage capacitor portion
[Fig. 11](B)	A pixel TFT portion
	A storage capacitor portion
[Fig. 12](A)	A gettering step by phosphorus
(C)	A boron doping step
(D)	A back side exposure step, A phosphorus doping

step